

Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
СИСТЕМ УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ  
(ТУСУР)

На правах рукописи



БИЛЕВИЧ ДМИТРИЙ ВЯЧЕСЛАВОВИЧ

**ПРОЕКТИРОВАНИЕ И СИНТЕЗ ДРАЙВЕРОВ УПРАВЛЕНИЯ ДЛЯ  
МНОГОФУНКЦИОНАЛЬНЫХ ИНТЕГРАЛЬНЫХ СХЕМ СВЧ  
ДИАПАЗОНА НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ**

Специальность 2.2.14 – Антенны, СВЧ-устройства и их технологии

**ДИССЕРТАЦИЯ**

на соискание ученой степени  
кандидата технических наук

Научный руководитель:  
кандидат технических наук  
А.С. Сальников

Томск – 2023

## ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	5
1. ПРОБЛЕМЫ ПРОЕКТИРОВАНИЯ И СИНТЕЗА ДРАЙВЕРОВ УПРАВЛЕНИЯ НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ .....	11
1.1. Назначение и состав современных многофункциональных интегральных схем СВЧ-диапазона .....	11
1.2. Обзор драйверов управления .....	15
1.2.1. Параллельные драйверы управления .....	15
1.2.2. Последовательно-параллельные драйверы управления.....	18
1.3. Обзор типов логических схем на основе GaAs pHEMT технологии....	25
1.3.1. Логические схемы с использованием обоих типов транзисторов .	25
1.3.2. Логические схемы реализованные исключительно на нормально- открытых транзисторах .....	26
1.3.3. Логические схемы реализованные исключительно на нормально-закрытых транзисторах.....	29
1.4. Проблемы синтеза драйверов управления .....	31
1.4.1. Подходы к синтезу логических схем .....	31
1.4.2. Подходы к синтезу аналоговых схем.....	34
1.4.3. Методы решения задачи синтеза интегральных схем.....	35
1.5. Транзисторы для логических схем на основе GaAs технологии.....	38
1.5.1. Особенности транзисторов для применения в логических схемах	38
1.5.2. Обзор моделей транзисторов для применения в логических схемах .....	39
1.5.3. Алгоритмы экстракции параметров моделей транзисторов для применения в логических схемах.....	47
1.6. Выводы по разделу.....	56

2. ПРОЕКТИРОВАНИЕ, ИЗГОТОВЛЕНИЕ И РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ ДРАЙВЕРА УПРАВЛЕНИЯ НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ	59
2.1. Проектирование структурной схемы драйвера.....	59
2.2. Проектирование инвертора .....	60
2.3. Проектирование преобразователей напряжения .....	67
2.4. Экспериментальное исследование разработанного последовательно-параллельного драйвера управления .....	69
2.4.1. Методика измерения изготовленных структур.....	69
2.4.2. Изготовленные тестовые структуры .....	70
2.4.3. Результаты измерений изготовленных тестовых структур .....	72
2.5. Выводы по разделу.....	82
3. РАЗРАБОТКА МЕТОДИКИ СИНТЕЗА ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОГО ДРАЙВЕРА УПРАВЛЕНИЯ НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ .....	84
3.1. Морфологический анализ структуры последовательно-параллельного драйвера управления.....	84
3.2. Разработка методики синтеза последовательно-параллельного драйвера управления .....	86
3.2.1. Разработка генетического алгоритма.....	86
3.2.2. Реализация алгоритма синтеза.....	88
3.2.3. Первый вариант функции приспособленности.....	89
3.2.4. Второй вариант функции приспособленности.....	90
3.3. Сравнение спроектированного и синтезированных драйверов управления .....	92
3.4. Выводы по разделу.....	96
4. ВЫБОР МОДЕЛИ ТРАНЗИСТОРА ДЛЯ ПРОЕКТИРОВАНИЯ И СИНТЕЗА ДРАЙВЕРА УПРАВЛЕНИЯ СВЧ МФИС .....	97

4.1. Выбор репрезентативного прибора.....	97
4.2. Построение нелинейных моделей транзисторов для применения в логических схемах.....	99
4.3. Валидация построенных моделей .....	105
4.4. Оценка скорости моделирования характеристик логических схем в зависимости от выбранной модели .....	108
4.5. Выводы по разделу.....	110
5. ЗАКЛЮЧЕНИЕ .....	111
СПИСОК СОКРАЩЕНИЙ.....	112
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ .....	114
ПРИЛОЖЕНИЕ А (ОБЯЗАТЕЛЬНОЕ) АКТ ВНЕДРЕНИЯ .....	130
ПРИЛОЖЕНИЕ Б (СПРАВОЧНОЕ) СВИДЕТЕЛЬСТВА О ГОСУДАРСТВЕННОЙ РЕГИСТРАЦИИ ТОПОЛОГИЙ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ .....	131

## ВВЕДЕНИЕ

*Актуальность работы.* В современном мире технологии беспроводной передачи данных развиваются с высокой скоростью, и каждый год темпы роста таких технологий только увеличиваются. Для обеспечения беспроводного обмена информацией используются полупроводниковые приёмо-передающие модули (ППМ). Реализация ППМ в виде многофункциональных интегральных схем СВЧ-диапазона позволяет снизить потребляемую мощность и уменьшить габариты конечных устройств за счет высокой степени интеграции. Такие модули могут включать функциональные блоки фильтрации, преобразования частоты, усиления, а также управления фазой и амплитудой таких сигналов. К устройствам управления относятся аттенюаторы, фазовращатели и коммутаторы, которые далее будут называться устройства с переменными состояниями. Разрядность устройств с переменными состояниями определяется количеством секций, входящих в их состав, и задает число коммутируемых выходов, шаг или диапазон управления амплитудой и фазой. Такие устройства изменяют амплитуду и фазу проходящего через них сигнала на величину, задаваемую управляющим сигналом. Каждая из секций управляется при помощи ключевых устройств, например, транзистора. Большинство схем устройств с переменными состояниями требуют формирования одновременно как прямого, так и инверсного управляющего сигнала для изменения их состояния. Такую пару называют парафазными сигналами. Электрическая схема управления состояниями устройств с переменными состояниями называется драйвером.

Использование внешних драйверов управления приводит к снижению надежности и увеличению конечных габаритов ППМ. Для решения описанных проблем современные драйверы управления интегрируются в ППМ. Сложность реализации интегрированных драйверов управления на основе GaAs технологий заключается в меньшем количестве слоёв металлизации и больших топологических нормах, чем в кремнии, что увеличивает габариты подобных схем и требует иного подхода к проектированию.

Большинство современных схем драйверов управления на основе GaAs технологии изготавливаются с использованием одновременно нормально открытых (НО) и нормально закрытых (НЗ) транзисторов. Использование таких транзисторов позволяет получить схемы управления с минимальными габаритами и потребляемой мощностью. Основным требованием к транзисторам для таких схем является минимальный разброс напряжения отсечки и тока насыщения, который достаточно сложно регулировать в ходе технологического процесса. Толщина канала в НЗ транзисторах значительно меньше, чем в НО транзисторах, и отклонения данного параметра при изготовлении значительно влияют на характеристики прибора.

Исключение необходимости изготавливать НЗ транзисторы позволяет увеличить процент выхода годных схем, а также снизить стоимость производства многофункциональных интегральных схем СВЧ-диапазона (СВЧ МФИС). И хотя схемы управления, спроектированные без использования НЗ транзисторов существуют, их основными недостатками является большая занимаемая площадь и более высокая потребляемая мощность. Если получится нивелировать данные недостатки, то расширится количество технологий, которые подходят для изготовления интегрированных драйверов управления и, как следствие, проектирования компактных ППМ. Поэтому усовершенствование существующих схем управления на основе исключительно НО транзисторов является актуальной темой для исследования.

При проектировании схем управления на основе GaAs технологии основной задачей разработчика является проектирование базовой логической ячейки (инвертора) под заданные требования. От выбранной схемы инвертора будут зависеть характеристики конечной логической схемы. Чтобы достигнуть лучших параметров, при проектировании инвертора инженер пробует множество решений. Из-за низкой популярности логических схем на основе исключительно НО транзисторах, методы проектирования таких схем не формализованы. Повышение степени автоматизации проектирования ускоряет разработку. Несмотря на высокую степень внедрения различных

методов автоматизации проектирования кремниевых логических схем, их затруднительно использовать для проектирования GaAs драйверов управления из-за больших топологических норм, меньшего числа уровней металлизации и отсутствия библиотек стандартных логических ячеек. При проектировании логических схем на основе НО транзисторов проблема дополнительно усложняется тем, что нет стандартной логической ячейки, и проблема переходит в область разработки базовой логической ячейки инвертора, то есть аналоговой схемотехники. Таким образом, разработка методики синтеза схем управления на основе GaAs технологии является актуальной задачей.

Как при проектировании, так и при синтезе драйвера управления значительное время уходит на моделирование характеристик схемы. При оптимизации и синтезе схемы характеристики рассчитываются многократно, и эффект от ускорения моделирования умножается на число итераций. Наиболее сложным для моделирования является нелинейная модель транзистора. Обычно для GaAs технологических процессов используются модели, ориентированные на расчет характеристик в частотной области, а при проектировании логических схем используются характеристики во временной области. Таким образом, при моделировании характеристик транзисторов на стандартных моделях происходит замедление расчета или вообще его невозможность из-за проблем сходимости расчетных алгоритмов. Поэтому подбор нелинейной модели транзистора для расчета характеристик логических схем является также актуальной задачей.

На основе вышеизложенного можно сформулировать цель и основные задачи исследования.

**Цель работы.** Проектирование и разработка методики синтеза драйвера управления СВЧ МФИС на основе GaAs pHEMT технологии с использованием исключительно нормально открытых транзисторов.

Поставленная цель достигается решением следующих **основных задач**:

1. Исследование принципов проектирования схем управления для СВЧ МФИС на основе GaAs pHEMT технологии.

2. Исследование и сравнительный анализ существующих типов логических схем на основе GaAs pHEMT технологии.

3. Разработка методики синтеза для автоматизации процесса проектирования драйвера управления для СВЧ МФИС на основе GaAs pHEMT технологии.

4. Исследование и сравнительный анализ моделей транзисторов подходящих для быстрого и точного моделирования логических схем на основе GaAs pHEMT технологии с целью ускорения автоматизированного процесса проектирования.

**Научная новизна** диссертационного исследования заключается в следующем:

1. Предложена новая схема инвертора на основе НО транзисторов, которая обладает низкой потребляемой мощностью и приемлемыми габаритами в сравнении с известными решениями.

2. Впервые предложена методика синтеза последовательно-параллельного драйвера управления на основе НО GaAs pHEMT-транзисторов с применением генетических алгоритмов.

3. Доказано, что модель ТОМЗ позволяет достичь наибольшей скорости моделирования характеристик во временной области без ухудшения его точности среди наиболее используемых моделей GaAs pHEMT-транзисторов.

**Положения, выносимые на защиту:**

1. Предложенная схема инвертора с буферным каскадом на полевых транзисторах позволила снизить потребляемую мощность на 32% по сравнению с известными схемотехническими решениями.

2. Разработанная методика синтеза, на основе генетического алгоритма, позволяет получить схему последовательно-параллельного драйвера, выполняемого на основе нормально-открытых GaAs pHEMT транзисторов, оптимальную по комплексу характеристик, а именно по уровням напряжений, быстродействию, занимаемой площади и потребляемой мощности.

3. Замена модели транзистора из библиотеки элементов на построенную модель позволяет уменьшить время синтеза последовательно-параллельного



драйвера в 2 раза без снижения точности расчета характеристик за счет улучшения сходимости алгоритмов моделирования.

**Достоверность научных результатов.** Степень достоверности научных результатов подтверждается применением современных методов научных исследований; значительным объёмом экспериментальных данных, полученных с помощью современного измерительного оборудования; хорошим согласованием экспериментальных и расчётных данных.

**Практическая значимость работы** заключается в следующем:

1. Разработанные методики позволяют упростить и автоматизировать разработку драйверов управления на основе GaAs рНЕМТ технологии.

2. Предложенная структура инвертора на основе буферного типа логики позволяет снизить потребляемую мощность логических устройств на основе НО GaAs рНЕМТ-транзисторов.

3. С использованием разработанной методики синтеза спроектирован и изготовлен последовательно-параллельный драйвер управления на основе GaAs рНЕМТ технологии. Потребляемая мощность одного разряда драйвера равна 44,5 мВт (оценка для 12-ти разрядного драйвера – 357 мВт).

**Апробация работы.** Основные результаты диссертационного исследования докладывались и обсуждались на следующих конференциях: Международная Крымская конференция «СВЧ-техника и телекоммуникационные технологии» (КрыМиКо), г. Севастополь, 2018 г.; Международный форум «Микроэлектроника-2019» 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули», г. Алушта, 2019 г.; Международная IEEE научно-техническая конференция «Динамика систем, механизмов и машин» (Dynamics), г. Омск, 2021 г.; международная IEEE-сибирская конференция по управлению и связи (SIBCON — 2022)

**Публикации.** По результатам проведённых исследований опубликовано 12 научных работ, в том числе 3 – в журналах, рекомендованных ВАК, 5 – в изданиях индексируемых в WoS/Scopus, 3 свидетельства о регистрации топологии интегральных микросхем.

**Личный вклад автора.** Все результаты, представленные в диссертационном исследовании, получены автором лично, либо при его непосредственном участии. В работах, полученных в соавторстве, автором получены существенные теоретические и практические результаты.

**Структура и объём диссертации.** Диссертация состоит из введения, четырёх разделов, заключения, списка использованных источников, включая список публикаций по теме исследования. Работа изложена на 136 страницах машинописного текста, содержит 75 рисунков и 7 таблиц. Список использованных источников включает 115 наименований.

## 1. ПРОБЛЕМЫ ПРОЕКТИРОВАНИЯ И СИНТЕЗА ДРАЙВЕРОВ УПРАВЛЕНИЯ НА ОСНОВЕ GaAs PHEMT ТЕХНОЛОГИИ

В данном разделе рассматриваются основные принципы проектирования логических схем на основе GaAs технологии в интегральном исполнении. В начале дается общее представление о многофункциональных интегральных схемах СВЧ-диапазона. Далее проводится обзор существующих драйверов управления и типов логических схем, методы решения задач автоматизации проектирования таких схем, а также существующих подходов к моделированию транзисторов для использования в логических схемах. В заключении формулируются основные задачи исследования.

### 1.1. Назначение и состав современных многофункциональных интегральных схем СВЧ-диапазона

Многофункциональные интегральные схемы СВЧ-диапазона (СВЧ МФИС) представляют собой два или более функциональных блока, интегрированных на одном кристалле, предназначенных для усиления (маломощный усилитель (МШУ), буферный усилитель, усилитель мощности (УМ)), фильтрации, управления амплитудой и фазой сигнала. В основном СВЧ МФИС входит в состав ППМ. Существуют как ППМ из нескольких СВЧ МФИС, так и ППМ на основе единой СВЧ МФИС. Тем не менее, реализация ППМ с использованием двух СВЧ МФИС позволяет добиться компромисса по комплексу характеристик. Первым вариантом реализации СВЧ МФИС в англоязычной литературе называется *front-end-module* (FEM) и предназначена для усиления передаваемого сигнала до максимального уровня мощности, для осуществления усиления принимаемого сигнала с минимальными потерями и для обеспечения переключения между приёмным и передающим трактами. Вторая реализация СВЧ МФИС в англоязычной литературе называется *core chip* и предназначена для преобразования амплитуды и/или фазы сигналов, а также зачастую содержит драйвер управления [1]. Обе схемы являются СВЧ МФИС и далее для удобства будут использоваться термины СВЧ МФИС первого типа для обозначения FEM и СВЧ МФИС второго типа для

обозначения *core chip*. Обе схемы могут быть изготовлены по разным технологиям и после интегрированы в единый корпус или размещены на единой печатной плате [2–4].

Область применения СВЧ МФИС достаточна велика. В военной промышленности такие схемы используются в радарных системах наземного поиска, в составе активных фазированных антенных решетках (АФАР), системах радиоэлектронной борьбы, а также для высокоскоростной передачи данных вне прямой видимости [4]. В аэрокосмической промышленности СВЧ МФИС используются в качестве беспроводных систем передачи энергии в модулях солнечных электростанций [5] или в наземных радарх управления спутниками различных орбит в качестве ППМ [6]. Основной областью применения в гражданской сфере для СВЧ МФИС являются интернет вещей и системы беспроводной связи, в которых такие схемы входят в состав ММО (*Multiple Input Multiple Output*) антенн, обеспечивая высокую скорость передачи данных [7].

На данный момент СВЧ МФИС могут быть реализованы на основе полупроводниковых технологий на основе материалов Si, SiC, SiGe, GaAs, GaN, SOI и InP.

Кремниевая технология имеет малую область применения, так как эффективна только на частотах УВЧ. Первым устройством с активной фазированной антенной решёткой (АФАР), работающей на таких частотах, была схема PAVE PAWS от компании Raytheon. В работе [8] сообщается, что для устройств работающих в диапазоне УВЧ использование кремниевых технологий позволяет значительно снизить стоимость конечных ППМ и уменьшить его габариты, за счет высокой степени интеграции. Однако такие технологи непригодны для работы с непрерывными сигналами, длинными импульсами и с более высокими частотами из-за проблем с теплоотведением [9].

Карбид кремния (SiC) представляет собой составной полупроводник с шириной запрещенной зоны 3,2 эВ, что почти в 3 раза больше, чем у кремния (1,1 эВ). Это повышает напряжение пробоя до порядка сотен Вольт. Также,

SiC обладает в 2,5 раза большей теплопроводностью, что позволяет решить проблему с рассеиванием тепла. Данное свойство позволяет использовать SiC в качестве подложек для GaN технологий высокой мощности. Существуют СВЧ МФИС на основе SiC технологии, обеспечивающие приемлемые мощностные характеристики в диапазоне частот 1,8-3,1 ГГц [10, 11]. Однако низкая подвижность электронов не позволяет использовать данные СВЧ МФИС на более высоких частотах. Поэтому SiC чаще используется в качестве подложек для GaN технологии [12–14].

Кремний германий (SiGe) считается наиболее перспективной технологией на основе кремния, хотя она всё еще не может превзойти решения на технологиях группы A3B5 с точки зрения СВЧ-характеристик. Данная технология особенно ценна, когда главными требованиями к изготавливаемой СВЧ МФИС является высокая степень интеграции и низкая стоимость. На данный момент известно об опытном образце ППМ целиком на едином кристалле на основе SiGe BiCMOS технологии, работающий в диапазоне 100-140 ГГц [15]. Также существуют ППМ, работающие в  $X$  и  $Ku$  диапазонах частот [2, 16, 17], в которых на SiGe технологии была изготовлена СВЧ МФИС2.

Технология кремний на изоляторе (SOI – *silicon on insulator*) также набирает большую популярность. На данный момент имеется большое количество работ по реализации схем коммутации в ППМ на основе данной технологии [7, 18–20]. Также в 2021 году впервые на SOI технологии была изготовлена СВЧ МФИС первого типа, работающая на частоте 28 ГГц [21]. На текущий момент ведущая компания по производству различных устройств на базе технологии SOI, Peregrine semiconductors, выпустила две коммерческих СВЧ МФИС первого типа для диапазона частот 24-30 ГГц [22, 23]. Однако коммерческие СВЧ МФИС второго типа на технологии SOI представлены только для диапазонов частот до 3,8 ГГц [24]. Как и во всех кремниевых технологиях, в ППМ на основе SOI главным преимуществом является высокая степень интеграции и низкая стоимость изготовления. Однако достижение высоких значений мощностных характеристик долгое время было

непреодолимой трудностью. В качестве способа решения данной проблемы использовались усилители мощности, изготовленные с использованием *staked-FET* реализации [21].

Арсенид-галлиевые (GaAs) технологии используются при производстве большинства СВЧ МФИС. Широкое применение в АФАР получили широкозонные псевдоморфные транзисторы с высокой подвижностью электронов (pHEMT – *high electron mobility transistor*), использующиеся как в приёмном, так и в передающем тракте. Первые коммерческие решения были предложены в 1990 годах компанией Raytheon как альтернатива кремниевым технологиям. Низкая стоимость, стабильная технология и высокие значения СВЧ-характеристик являются главными преимуществами перед кремниевыми технологиями в коммутационных и усилительных схемах. С ростом требований к АФАР, требования к выходной мощности и эффективности усилительных схем также выросли. Для удовлетворения требований, удельная мощность GaAs СВЧ МФИС постепенно увеличивалась с 0,5 Вт/мм до 1,5 Вт/мм, за счет повышения напряжения питания с 5 В до 24 В. Тем не менее, недостатком такой технологии является сложность интегрирования драйверов управления, что подтверждается множеством работ, посвященных решению данной проблемы [1, 25–27].

Нитрид галлиевые (GaN) HEMT-транзисторы, изготовленные на SiC подложках, находят широкое применение в усилительных схемах. Высокое значение удельной мощности (более 5 Вт/мм) и высокое значение теплопроводности подложки (350 Вт/(м·К)) являются недостижимыми значениями для других технологий. По сравнению со схемами на основе GaAs технологии, самым близким конкурентом в усилительных схемах, GaN технологии позволяют снизить стоимость таких схем на 40%. Для сравнения, при одинаковых характеристиках размеры УМ на основе GaN технологии в четыре раза меньше, чем на основе GaAs технологии [28].

Устройства на основе фосфида индия (InP) обладают наивысшим значением скорости переключения и самыми низкими значениями коэффициента шума. Однако по сравнению с GaAs технологиями, сложность

и высокая себестоимость изготовления таких устройств не позволяют использовать данные решения в коммерческих устройствах.

Подводя итоги, можно сказать, что GaAs технологии являются наиболее перспективными для изготовления СВЧ МФИС обоих типов с точки зрения обеспечиваемых электрических характеристик. Фосфидные и нитридные технологии обладают высокой стоимостью, а кремниевые технологии уступают по электрическим характеристикам. И хотя для изготовления логических схем кремниевые технологии намного предпочтительнее, интегрирование драйвера управления позволяет уменьшить потери на межсоединениях и уменьшить общие габариты конечного устройства.

## **1.2. Обзор драйверов управления**

Устройства с переменными состояниями устанавливают требуемый уровень ослабления, сдвига фазы или порядок коммутации выводов. Для задания состояния используется управляющий сигнал, обычно уровня ТТЛ-логики, для которой характерны значения напряжений для логического нуля 0 В и для логической единицы 5 В. Драйвер управления принимает на входах управляющий сигнал и формирует на выходах уровни напряжений, необходимые для установки состояния устройств с переменными состояниями.

Для управления одной секцией устройства с переменными состояниями используется один разряд драйвера. В зависимости от способа передачи управляющего сигнала различают два вида драйверов: параллельный и последовательно-параллельный.

### **1.2.1. Параллельные драйверы управления**

В параллельном драйвере на каждый разряд подаётся свой управляющий сигнал. Количество контактных площадок (КП) управления такого драйвера равно разрядности. Входной сигнал уровня ТТЛ-логики конвертируется в сигнал уровня GaAs-логики. При помощи инвертора на выходе разряда драйвера формируются парафазные сигналы. Параллельный драйвер обладает

небольшой потребляемой мощностью, высокой скоростью установки состояния и относительной простотой проектирования топологии драйвера. На входе разряда параллельного драйвера находится схема преобразования уровня сигнала, которая обеспечивает переход от сигнала уровня транзисторно-транзисторной логики (ТТЛ) к уровню GaAs логики. Данная схема состоит из блока последовательно подключенных диодов и транзистора, подключенного по схеме с общим истоком. Количество последовательно-подключенных диодов зависит от требований к схеме. Далее данный блок будет указываться как два диода и многоточие между ними. На последующих рисунках, при известном количестве диодов для упрощения будет указываться количество диодов со знаком умножения рядом с обозначением диода. Чтобы получить парафазные сигналы, используется либо дифференциальная схема инвертора с двумя выходами, либо два инвертора последовательно, а сигналы снимаются после каждого из них. На рисунке 1.1 представлена принципиальная схема одного разряда параллельного драйвера [29]. В данном типе драйвера все разряды идентичны.

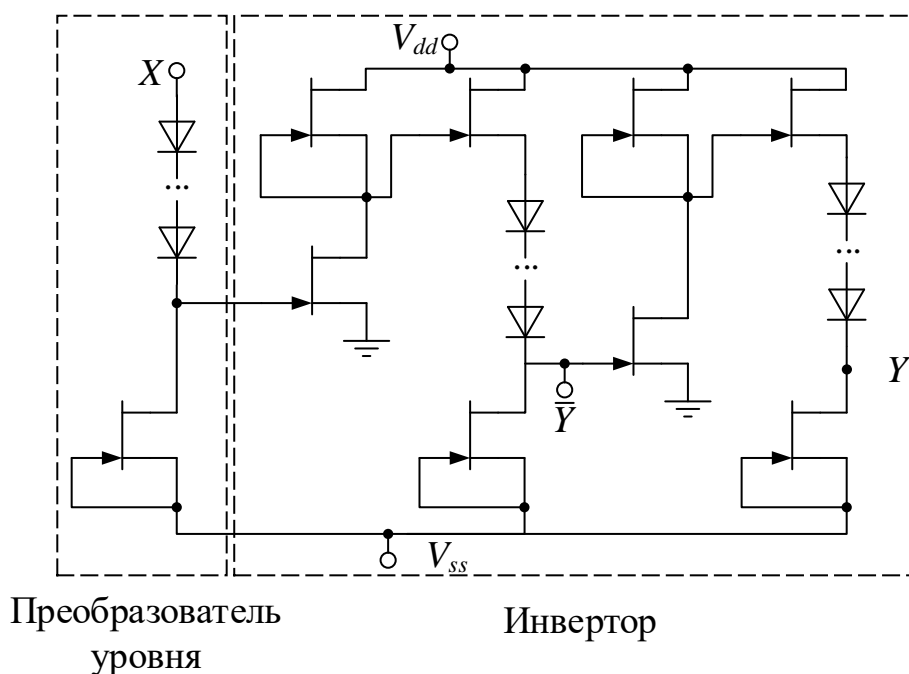


Рисунок 1.1 – Принципиальная схема разряда параллельного драйвера

В работе [30] представлен вариант реализации параллельного драйвера с добавлением генератора напряжения. Генератор задаёт напряжение



смещения на инверторах. В представленном драйвере инверторы включены в дифференциальном режиме, что снижает влияние температуры и технологического разброса на характеристики устройства. Все разряды драйвера имеют общий генератор напряжения. Блок схема такого параллельного драйвера показана на рисунке 1.2.

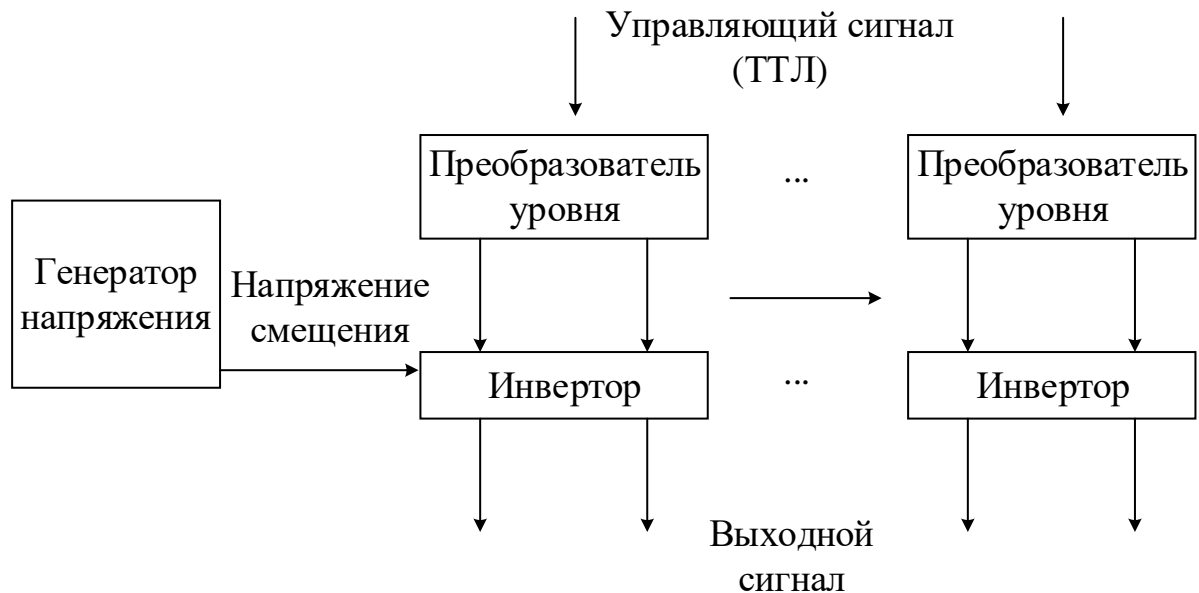


Рисунок 1.2 – Блок-схема параллельного драйвера

Принципиальная схема разряда такого драйвера вместе с генератором напряжения представлена на рисунке 1.3.

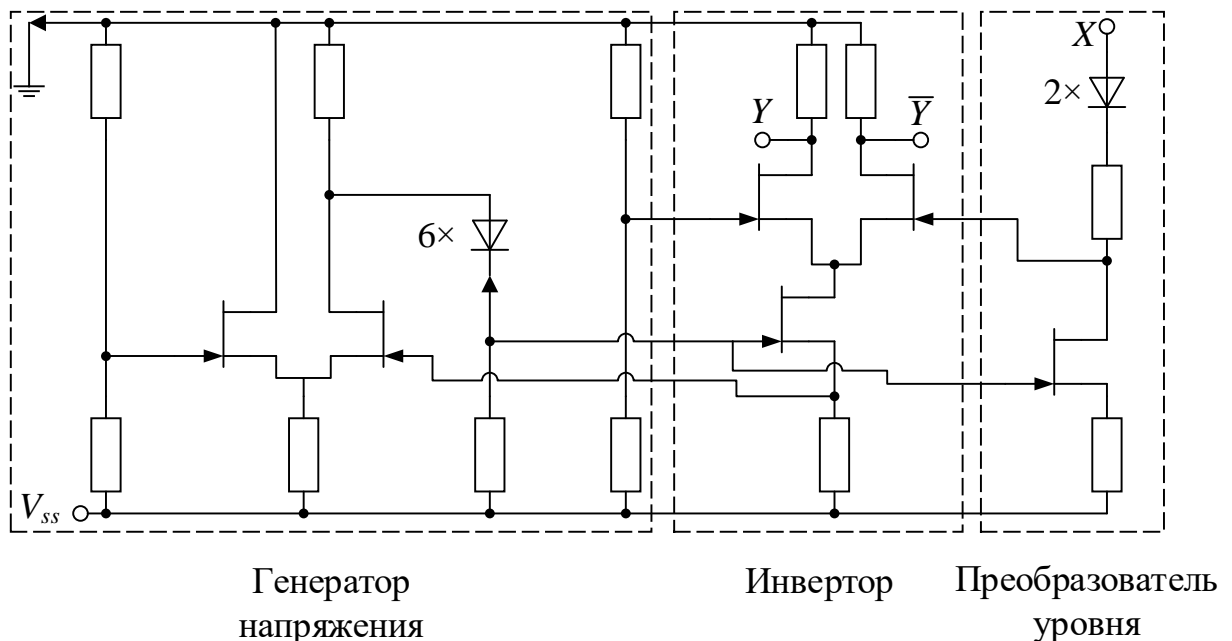


Рисунок 1.3 – Принципиальная схема разряда параллельного драйвера с генератором

В работе [31], предлагается использовать резисторы вместо шести диодов в блоке генератора напряжения смещения (рисунок 1.4).

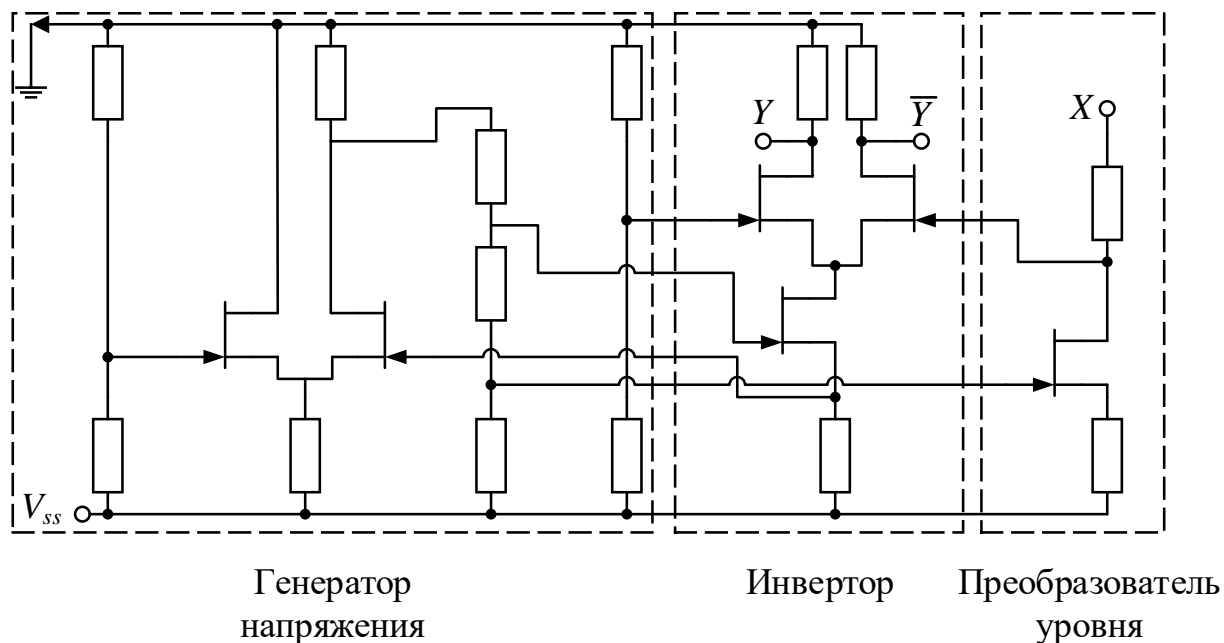


Рисунок 1.4 – Принципиальная схема модификации разряда параллельного драйвера с генератором

Это позволяет не только избежать большого температурного разброса характеристик, но и понизить напряжение питания с минус 7,5 В до минус 5 В и, таким образом, снизить потребляемую мощность.

### 1.2.2. Последовательно-параллельные драйверы управления

В последовательно-параллельном драйвере используется обычно три основных управляющих сигнала. Входной управляющий сигнал состоит из последовательности логических нулей и единиц и образует кодовое слово. В зависимости от кодового слова, на выходах драйвера устанавливается напряжение для переключения разрядов функциональных блоков в требуемое состояние. Для работы последовательно-параллельного драйвера необходимо минимум четыре КП. Максимальное число КП в рассмотренных работах равно семи. При этом, число КП не зависит от разрядности, в отличие от параллельных драйверов. Однако структура самого драйвера сложнее и на кристалле он может занимать больше места, чем параллельный.



происходит по сигналу *LE*. На рисунке 1.6 показаны временные диаграммы последовательно-параллельного драйвера.

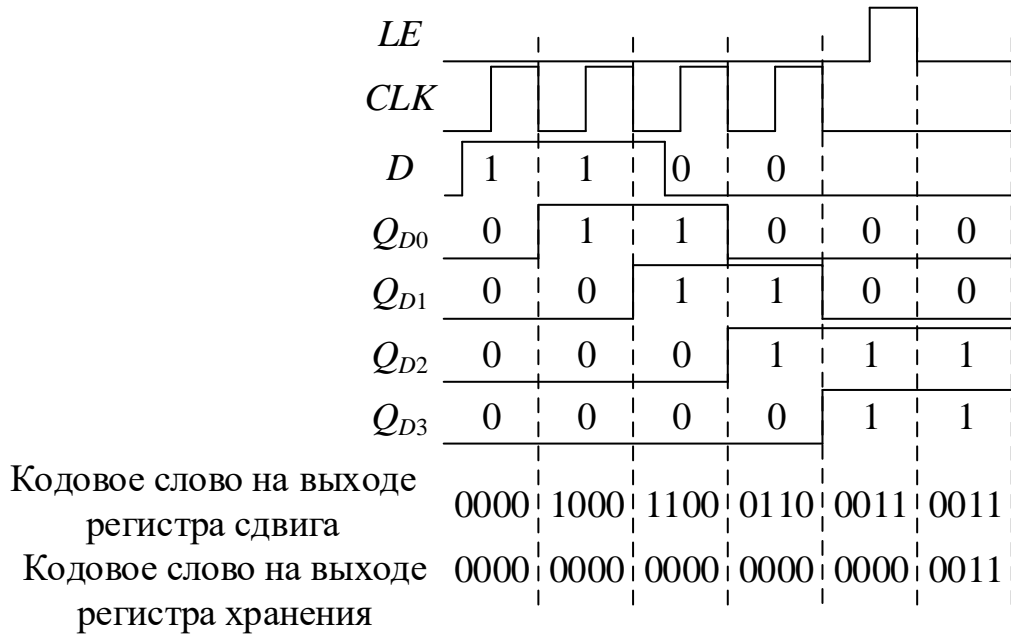


Рисунок 1.6 – Временные диаграммы последовательно-параллельного драйвера

Таким образом, на выходах драйвера кодовое слово устанавливается в обратном порядке, т.е. символ, подающийся на вход первым, будет установлен на самом дальнем от входа разряде РС. ВыхПН используется, если значения напряжений для внутренних логических уровней отличается от тех, которыми управляют ключевые транзисторы в секциях устройств с переменными состояниями.

Каждый из блоков имеет несколько различных реализаций, которые зависят от значений напряжения для логических символов и типа логических схем, используемых для реализации РС и РХ. Подробнее о существующих типах логических будет рассказано в следующем подразделе. РС, РХ и ВыхПН формируют один разряд последовательно-параллельного драйвера.

Наиболее распространенные варианты реализации ВхПН представлены на рисунке 1.7.

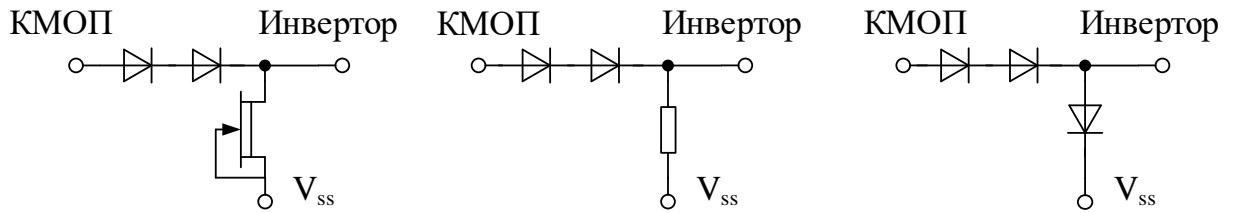


Рисунок 1.7 – Варианты реализации ВхПН

Вывод  $V_{ss}$  может подключаться к земле, если требуются положительные значения логических уровней или к отрицательному источнику питания, если логические уровни отрицательные [32, 33].

Перед переходом к описанию РС и РХ стоит уделить внимание описанию такого логического элемента как триггер. Все триггеры можно условно разделить на две большие группы: динамические ( $D$ -триггеры) и статические (защелки). Все триггеры имеют информационный вход ( $D$ ) и тактовый вход ( $CLK$ ). По сигналу  $CLK$ , на выходе ( $Q$ ) устанавливается тот же логический уровень, что и на информационном входе ( $D$ ).  $D$ -триггер производит запись информации по фронту тактового сигнала  $CLK$ . Защелки записывают информацию пока тактовый сигнал  $CLK$  имеет высокий уровень (режим прозрачности).

Существует множество вариантов реализации динамического  $D$ -триггера. Все существующие динамические  $D$ -триггеры можно разделить на две группы: работающие по положительному или по отрицательному фронту тактового сигнала  $CLK$ . Наиболее распространённая реализация  $D$ -триггера, работающего по отрицательному фронту показана на рисунке 1.8 [26, 32–36].

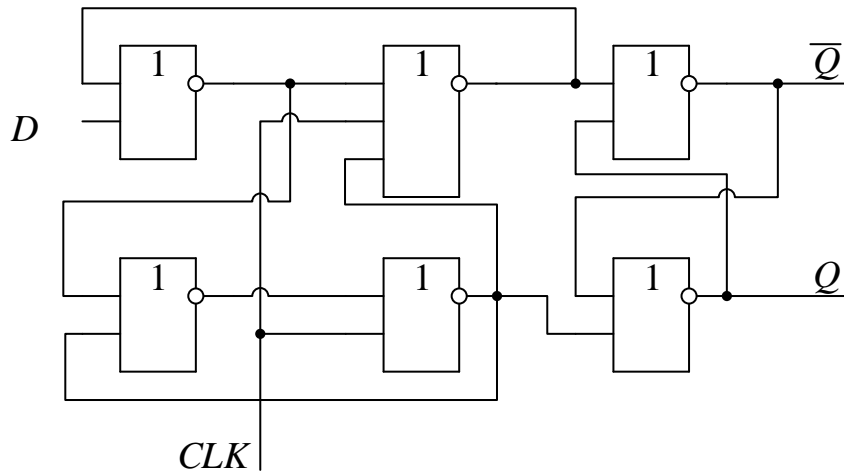


Рисунок 1.8 – D-триггер на основе шести элементов ИЛИ-НЕ, работающий по отрицательному фронту тактового сигнала  $CLK$

Существуют вариации представленной схемы, где вместо элементов ИЛИ-НЕ используются элементы И-НЕ, в таком случае триггер начнёт работать по положительному фронту тактового сигнала  $CLK$ . Также, в новых работах [1, 25] используются  $D$ -триггеры, составленные из ведущего и ведомого триггеров (рисунок 1.9).

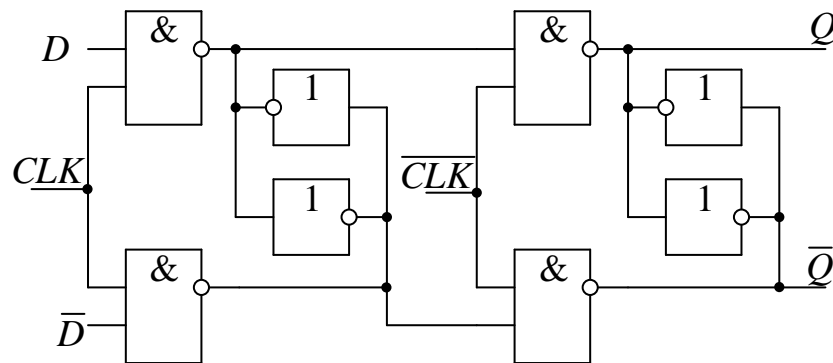


Рисунок 1.9 –  $D$ -триггер по схеме ведущий-ведомый, работающий по отрицательному фронту тактового сигнала  $CLK$

В обоих вариантах передача данных осуществляется по отрицательному фронту тактового сигнала  $CLK$ . Однако для работы  $D$ -триггера по схеме ведущий-ведомый необходимо обеспечить на входе парафазные информационные сигналы  $D$ ,  $\bar{D}$  и тактовые сигналы  $CLK$ ,  $\overline{CLK}$ . Важно отметить, что существуют  $D$ -триггеры работающее по схеме ведущий-ведомый в которых происходит срабатывание по положительному фронту тактового сигнала  $CLK$  (рисунок 1.10).

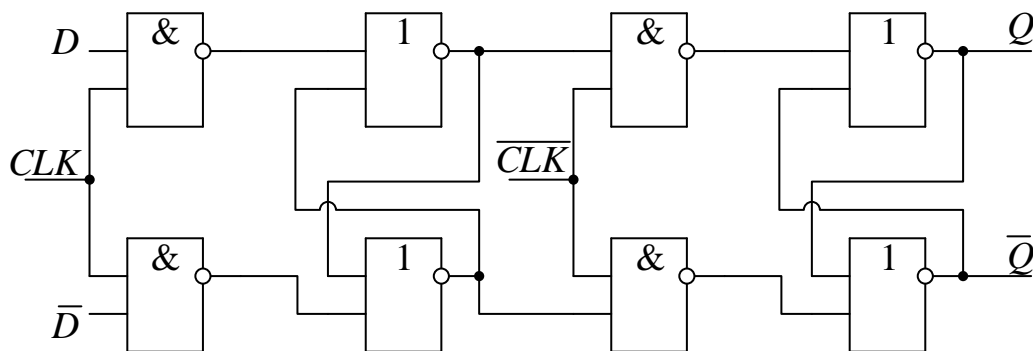


Рисунок 1.10 –  $D$ -триггер по схеме ведущий-ведомый, работающий по положительному фронту тактового сигнала  $CLK$

Для корректной работы  $D$ -триггера необходимо обеспечить достаточное время предустановки ( $t_{setup}$ ) и достаточное время удержания ( $t_{hold}$ ). Информационный сигнал  $D$  должен оставаться неизменным в течение времени  $t_{setup}$  до срабатывания и в течение  $t_{hold}$  после срабатывания. Ограничения появляются из-за задержки распространения на логических элементах внутри  $D$ -триггера. Если не соблюсти данные условия, логическим элементам не хватит времени для установки определённых состояний, что приведёт к ошибке в работе триггера. В таком состоянии на выходе триггера могут устанавливаться непредсказуемые уровни напряжения, а такое состояние называется «метастабильное состояние триггера».

Для определения значений  $t_{setup}$  и  $t_{hold}$  используют метод, представленный в [37]. В данном методе строится зависимость задержки распространения от значения  $t_{D-CLK}$ , которое означает промежуток времени от срабатывания по фронту сигнала  $CLK$  до сброса информационного сигнала  $D$ . Зависимости  $t_{pd}(t_{setup})$  и  $t_{pd}(t_{hold})$  имеют схожий вид, график зависимости  $t_{pd}(t_{setup})$  представлен на рисунке 1.11.

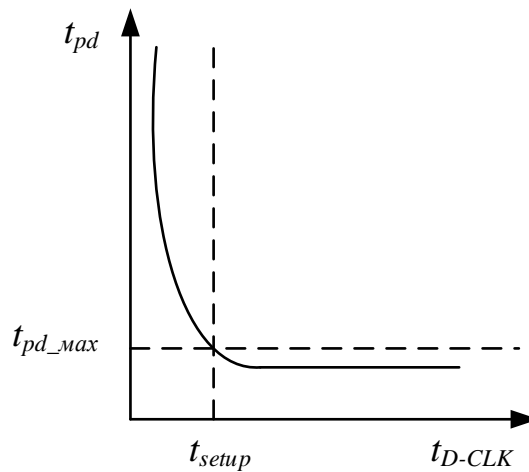


Рисунок 1.11 – Зависимость времени задержки распространения от времени предустановки

Значение  $t_{setup}$  равно времени предустановки, при котором задержка распространения увеличивается на 10% от значения при нормальной работе  $D$ -триггера. Уменьшение времени предустановки приводит к получению импульсов малой длительности. При этом фронты сигнала начинают влиять на время задержки, а после определенного значения  $D$ -триггер прекращает работать, не успевая реагировать на сигнал малой длительности. Подобное наблюдается и для зависимости задержки распространения от времени удержания.

В основном защелки реализуют в качестве  $JK$ -триггера, схема которого показана на рисунке 1.12.

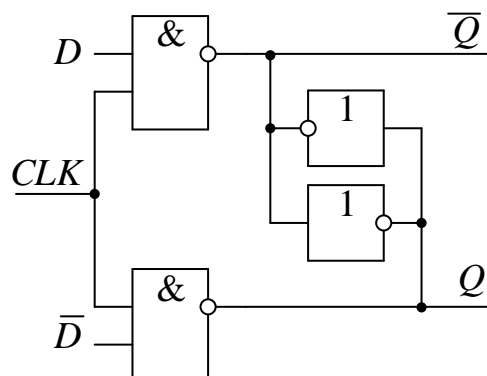


Рисунок 1.12 – Схема реализации  $JK$ -триггера

Такая схема имеет несколько реализаций с различным набором логических элементов.



Секции устройств с переменными состояниями в СВЧ МФИС управляются при помощи ключевых транзисторов. Для управления такими транзисторами необходимо обеспечить уровни напряжения 0 В для установки ключевого транзистора в открытое состояние, и минус 1,5 В и ниже для установки ключевого транзистора в закрытое состояние, в зависимости от напряжения отсечки ключевого транзистора. Если логические уровни внутренних схем не совпадают с управляющими напряжениями ключевого транзистора, то в драйвере используют ВыхПН [38].

К характеристикам драйверов управления относят: разрядность, напряжение и количество источников питания, потребляемую мощность, занимаемую на кристалле площадь и быстродействие. Разрядность драйвера определяется количеством секций устройств с переменными состояниями. Под быстродействием понимается максимальная частота тактового сигнала *CLK*, при которой РС и РХ работают корректно.

### **1.3. Обзор типов логических схем на основе GaAs pHEMT технологии**

#### **1.3.1. Логические схемы с использованием обоих типов транзисторов**

Логические схемы с непосредственными связями на полевых транзисторах (ПТ) (НСПТ, англ. *Direct Coupled FET Logic – DCFL*). Данный тип логических схем является наиболее распространенным благодаря простоте реализации, минимальной занимаемой площади и высокому быстродействию [39, 40]. Для реализации таких схем используются как НО, так и НЗ. В качестве нагрузки в данных схемах могут использоваться обычные ПТ, ПТ без затвора или резисторы (рисунок 1.13).

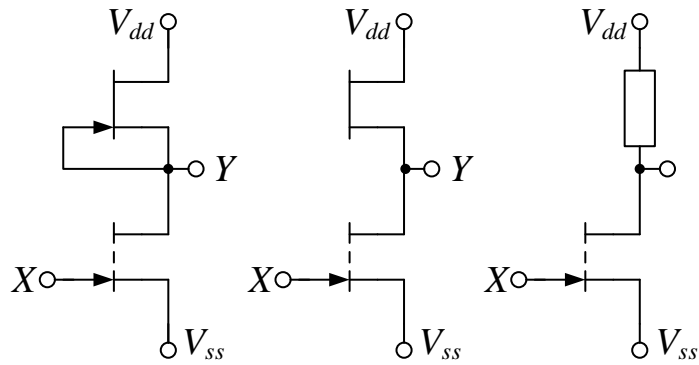


Рисунок 1.13 – Схемы типа НСПТ

Типичные уровни напряжения для НСПТ схем: 0 В для логического нуля и 0,8-1 В для логической единицы. Из-за небольшой разницы между уровнями логических символов данный тип схем обладает низким значением запаса помехоустойчивости. Добавление истокового повторителя на выход НСПТ схемы (рисунок 1.14) позволяет без потери быстродействия схемы увеличить разницу между уровнями логических символов и коэффициент разветвления, который обозначает количество логических элементов, которые можно подключить к выходу инвертора [41].

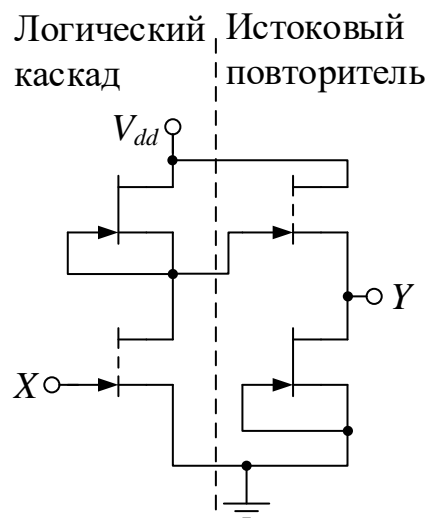


Рисунок 1.14 – Схема типа НСПТ с истоковым повторителем

### 1.3.2. Логические схемы реализованные исключительно на нормально-открытых транзисторах

Логические схемы с буферным каскадом на ПТ (БПТ, англ. *Buffered FET Logic* – BFL). Для работы такого типа логических схем необходимо два источника питания с разной полярностью. Базовая схема инвертора состоит из

логического каскада и каскада понижения уровня напряжения [42]. Под логическим каскадом подразумевается часть схемы, которая отвечает за инвертирование входного сигнала. На выходе логического каскада на НО транзисторах уровни напряжения логических символов не подходят для управления последующего инвертора. Поэтому в схему добавляется каскад понижения уровня напряжения. Данная схема состоит из диодов Шоттки (рисунок 1.15). Это позволяет сформировать уровни напряжения логических символов на выходе инвертора, необходимые для управления НО транзистора, стоящего на входе следующего за ним инвертора. Количество диодов определяется напряжением отсечки НО транзистора.

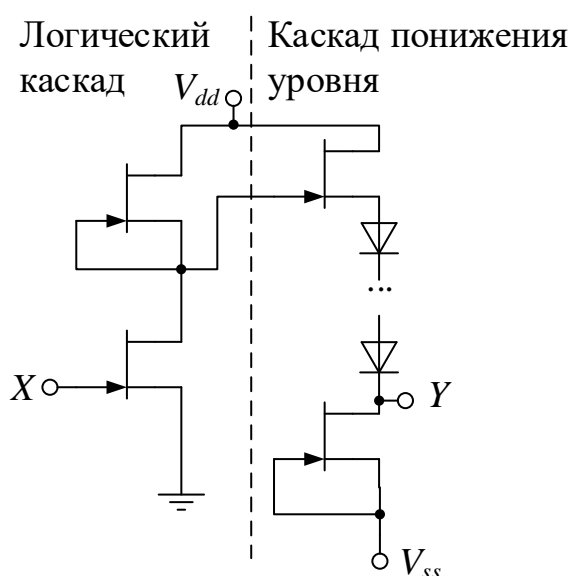


Рисунок 1.15 – Схема типа БПТ

Наличие истокового повторителя в буферном каскаде обеспечивает высокое быстродействие. Для такого типа логических схем характерна высокая потребляемая мощность. В работе [27] была предложена модификация, позволяющая снизить потребляемую мощность почти в четыре раза. Типичные уровни напряжения в таком типе логических схем минус 3 В для логического нуля и 0 В для логической единицы. Стоит отметить, что уровень напряжения логического нуля зависит от выбора напряжений источников питания, напряжения отсечки и ширины затвора используемых транзисторов и может иметь значение вплоть до минус 1 В.

Логические схемы с диодами Шоттки на ПТ (ДШПТ, англ. *Schottky Diode FET Logic – SDFL*). В данном типе логических схем в качестве переключающего транзистора используются НО транзисторы. Для такой схемы необходимо два источника питания с разной полярностью [43]. Каскад понижения уровня в ДШПТ выполняет ту же функцию, что и в БПТ, но в данном типе схем размещен перед логическим каскадом (рисунок 1.16).

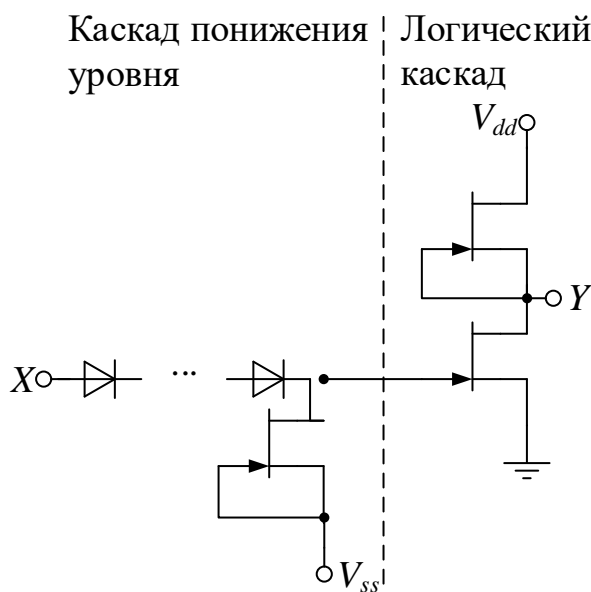


Рисунок 1.16 – Схема типа ДШПТ

Типичные уровни напряжения для ДШПТ схем: от 0 В до 0,2 В для логического нуля и от 1,5 В до 3 В для логической единицы в зависимости от напряжений источников питания. Иногда для увеличения нагрузочной способности логической схемы типа ДШПТ на выход схемы добавляется истоковый повторитель (рисунок 1.17).

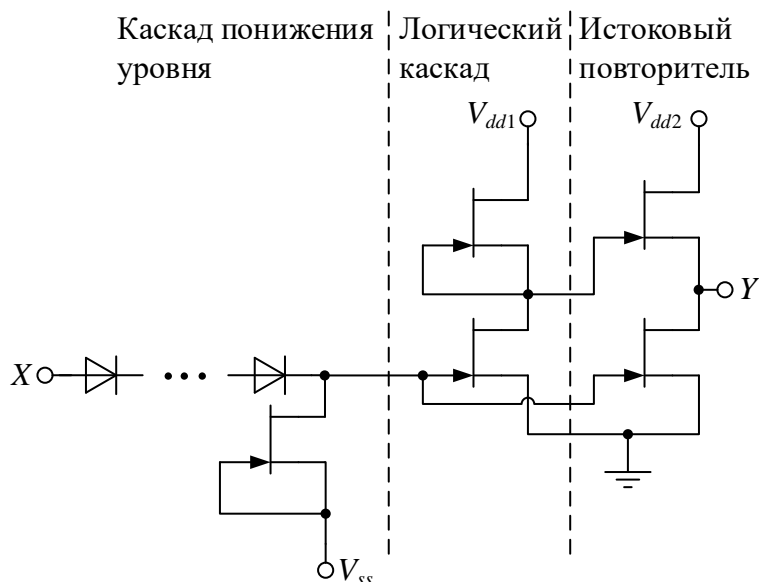


Рисунок 1.17 – Схема типа ДШПТ с истоковым повторителем

В данном типе логических схем используются только НО транзисторы. Напряжение отсечки НО транзисторов по модулю превышает значение напряжения отсечки НЗ транзисторов, что позволяет достигать больших перепадов напряжения логических символов и лучшей помехоустойчивости. Однако из-за большого количества элементов возрастает занимаемая площадь и потребляемая мощность.

### 1.3.3. Логические схемы реализованные исключительно на нормально-закрытых транзисторах

Логические схемы с псевдо-комплементарными связями на ПТ (ПКПТ, англ. *Pseudo-Complementary FET Logic* – PCFL). В данном типе логических схем используются лишь НЗ транзисторы. Главным преимуществом данной схемы является низкая потребляемая мощность. Однако для управления такими схемами используется парафазные управляющие сигналы. Структура ПКПТ1 [44] содержит большее количество транзисторов (рисунок 1.18), за счет чего возрастает занимаемая площадь.

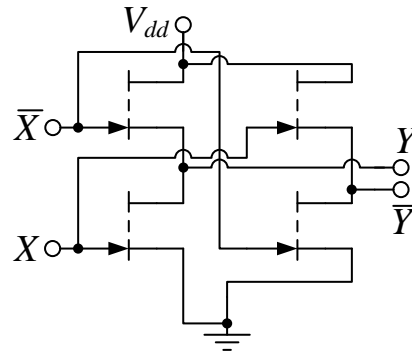


Рисунок 1.18 – Схема типа ПКПТ1

Разница между уровнями напряжения логических символов и запас помехоустойчивости для ПКПТ схем меньше, чем для НСПТ. Также, наблюдается снижение уровня напряжения на выходе с увеличением частоты сигнала на входе. Для того чтобы уменьшить влияние данного эффекта, была предложена модифицированная схема ПКПТ2 [44] (рисунок 1.19).

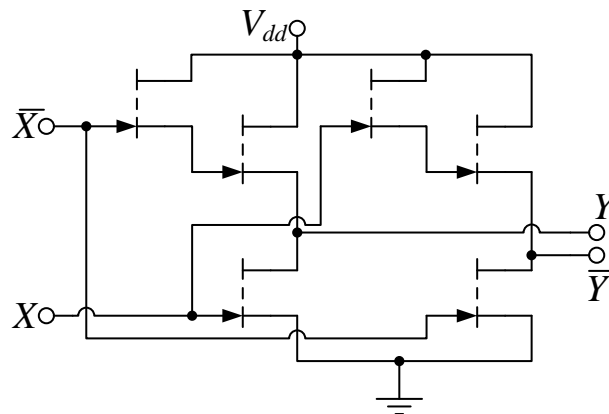


Рисунок 1.19 – Схема типа ПКПТ2

Схема ПКПТ2 способна работать на более высоких частотах, однако, при этом возрастает размер схемы на кристалле. Также незначительно повышается потребляемая мощность. Схема ПКПТ3 была разработана для применения в схемах с очень высокой рабочей частотой и низким энергопотреблением (рисунок 1.20) [45].

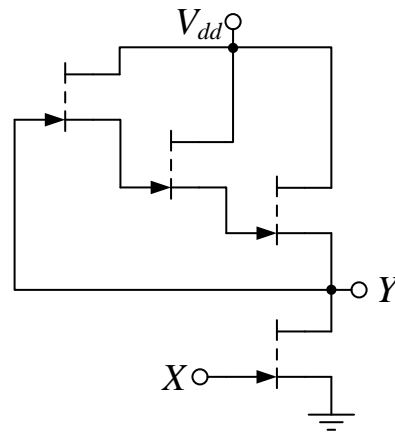


Рисунок 1.20 – Схема типа ПКПТЗ

По сравнению с ПКПТ2 добавлен транзистор для компенсации тока утечки. Затвор этого транзистора подключен к выходу  $Y$ . Когда входной транзистор открывается и на выходе формируется низкий логический уровень, транзистор, подключенный к  $Y$ , надежно запирается, уменьшая значение утечки, что приводит к снижению потребляемой мощности.

#### 1.4. Проблемы синтеза драйверов управления

Драйвер управления является сложным логическим устройством. Как видно из проведенного обзора, любой драйвер представляет собой набор логических схем различного назначения. Проектирование логических схем начинается с базовых логических элементов. Основной логический элемент – инвертор, на его основе получают более сложные логические элементы ИЛИ-НЕ и И-НЕ. Данных схем достаточно чтобы спроектировать большинство логических схем.

##### 1.4.1. Подходы к синтезу логических схем

Для реализации логических схем наиболее подходящими являются кремниевые технологии. С развитием технологических процессов, размеры кремниевых транзисторов постоянно уменьшаются, что приводит к увеличению их количества в одной микросхеме. Современные процессоры могут содержать десятки миллиардов транзисторов. Схемотехническое решение и размещение такого количества элементов вручную является неразрешимой задачей, поэтому прибегают к методам автоматизации. При

проектировании логических схем широко применяются методы автоматизированного получения схемы на уровне логических вентилях (логический синтез) и топологии (физический синтез).

Под логическим синтезом понимается поиск набора логических схем и взаимосвязей между ними. Задачей синтеза является поиск такой конфигурации, при которой полученная схема позволяет реализовывать описанные логические операции с использованием минимального количества логических ячеек и с наиболее высоким быстродействием. Существует два подхода к решению задачи логического синтеза: поведенческий синтез и оптимизация бинарных диаграмм. В ходе поведенческого синтеза происходит обработка алгоритмического описания на языках описания аппаратуры, например Verilog. Инструменты синтеза преобразуют алгоритмическое описание требуемого устройства в описание на уровне регистровых передач. После чего происходит синтез схемотехнического решения с использованием заранее подготовленных логических элементов, которые хранятся в библиотеке стандартных ячеек. Второй подход использует для синтеза аппаратное описание в виде бинарной диаграммы решений [46]. Изначально бинарные диаграммы формируются из булевых функций, после чего происходит их переупорядочение для уменьшения циклов работы логической схемы, а затем переход к уровню регистровых передач. В работе [47] представлено сравнение различных методов для переупорядочения бинарных диаграмм решений, среди которых присутствуют методы оптимизации на основе эволюционных вычислений.

При синтезе топологии логических схем выполняется размещение на кристалле и трассировка логических элементов из библиотеки стандартных ячеек. При проектировании стандартных ячеек необходимо следовать определённым правилам, например, шины питания необходимо располагать в нижней и верхней границах ячеек, также необходимо соблюдать единое расстояние между этими шинами во всех логических ячейках. Всё это позволяет упростить процесс размещения логических элементов в разрабатываемых схемах. С усовершенствованием технологических



процессов постоянно совершенствуются и методы синтеза топологии цифровых схем [48–50].

Важно понимать, что логический синтез возможен только при наличии спроектированных и протестированных стандартных логических элементов, к которым относятся логические элементы НЕ (инвертор), ИЛИ-НЕ, И-НЕ, мультиплексоры и другие. Хотя в кремниевой технологии используются достаточно простая, с точки зрения схемотехники, комплементарная логика, существует сложность в автоматизации проектирования топологии такой ячейки. Имеются работы, посвященные синтезу топологии логических ячеек для технологических процессов с малой топологической нормой [49]. Как правило, схемотехническое решение всех элементов реализуется разработчиком, но известно о работах в которых описывается возможность синтеза библиотеки стандартных ячеек [51].

Подводя итог, можно сказать, что синтез логических схем на основе кремниевых технологий заключается в поиске оптимального набора логических элементов и их размещении на чипе. Однако, такой подход не применим к логическим схемам на основе GaAs технологии, сложность проектирования которых заключается в подборе подходящего схемотехнического решения базового логического элемента. Также нельзя применить и методы синтеза топологии из-за значительно меньшего количества слоёв металлизации и совершенно иных правил и норм проектирования.

Дополнительно задачу синтеза осложняет то, что в отличие от кремниевых технологий, где уровни напряжения для логических символов строго заданы, в логических схемах на основе GaAs технологи они зависят от типа логических схем, напряжения питания, особенностей технологического процесса конкретного предприятия-изготовителя и области применения проектируемых схем. Также при проектировании необходимо обеспечить компромисс между потребляемой мощностью, площадью и быстродействием.

Описанные методики логического синтеза позволяют синтезировать сложные логические устройства, состоящие из стандартных логических ячеек.

Однако драйвер управления на основе GaAs технологии является достаточно простым устройством с точки зрения регистровых передач. Известные драйверы управления являются практически идентичными с этой точки зрения. Также важно отметить, что при логическом синтезе используются уже готовые логические ячейки, иногда даже готовые регистры. Готовых логических элементов на основе GaAs технологий не существует, потому что проектирование таких элементов зависит от доступной технологии и предъявляемых к логическому устройству требований. Существует более 10 различных типов логических схем на основе GaAs технологии, выбор среди которых осуществляется в зависимости от требований к логическому устройству. Таким образом, можно заключить, что задачу синтеза драйверов управления на основе GaAs технологии нельзя решить стандартными подходами, применяемыми для синтеза логических схем на основе кремниевых технологий. Поэтому главная задача – проектирование базового логического элемента, а именно инвертора. Поскольку анализируется передаточная характеристика и получаемые уровни сигналов, данная задача относится к проектированию аналоговых схем.

#### 1.4.2. Подходы к синтезу аналоговых схем

Главную задачу, которую решает инженер при проектировании аналоговых схем, это обеспечение требуемых технических характеристик проектируемого устройства. Требования могут быть достигнуты при различных вариантах схемы. Предлагаемые решения аналоговых схем могут как быть идентичными с точки зрения схемотехники и иметь разные параметры элементов в схеме, так и полностью отличаться схемотехнической реализацией. Постоянное усовершенствование технологий не позволяет использовать ранее спроектированные решения, так как постоянно растут требования к таким схемам. Поэтому инженерам постоянно необходимо усовершенствовать имеющиеся или создавать новые варианты для конкретных устройств. Также, стоит понимать, что современные тенденции рынка таковы, что времени на создание требуемой схемы становится всё

меньше. При этом степень автоматизации в аналоговых схемах существенно ниже, чем в логических. Таким образом автоматизация процесса проектирования аналоговых схем является одной из главных задач в современном мире.

Подходы к синтезу аналоговых схем можно разбить на две большие группы: параметрический и структурно-параметрический синтез. При параметрическом синтезе структура схемы известна и неизменна, а задача синтеза сводится к поиску такого набора параметров, при котором используемая структура удовлетворяет заданным требованиям. Для такого синтеза используют методы оптимизации. При структурно-параметрическом синтезе подбирается не только набор параметров, но и структура схемы. Сложность такого подхода заключается в том, что помимо варьирования значений параметров, варьируется и структура схема, что приводит к изменению набора параметров. Также необходимо понимать, что каждое изменение структуры может влиять на расчет характеристик при проверке решения. Начиная с 70-ых годов было предложено множество методов реализации структурно-параметрического синтеза. Например методы на основе уравнений используемые в программе GPCAD [52] или генераторе аналоговых модулей [53], методы в которых расчетные уравнения выводятся с помощью символьного анализа [54] или методы на основе результатов моделирования, например используемые в программе ASTRX/OBLX [55].

Таким образом, можно заключить, что при решении задачи синтеза аналоговых схем решаются схожие задачи, как при синтезе логических схем на основе GaAs технологии.

#### 1.4.3. Методы решения задачи синтеза интегральных схем

Последние десятилетия наблюдается повышенное внимание к способам синтеза интегральных схем различного уровня и функциональности. Наиболее популярными направлениями работ является применение методов, используемых при машинном обучении.

Например в работе [56] машинное обучение используют для проектирования операционного усилителя. Для обучения использовались результаты моделирования 5000 различных схем, что заняло около 19 минут. После чего, для получения схемы по заданным требованиям составляло около 0,35 мс, а точность получаемых характеристик была выше 90%. В работе [57] приводится пример использования обратимых нейронных сетей для решения задачи проектирования активных смесителей. Описанная нейронная сеть позволяет получить высокую степень корреляции между заданными требованиями и результатами моделирования полученного смесителя.

В работе [58] описано использование метода опорных векторов для проектирования различных схем на основе GaAs технологии. При помощи описанного метода были получены как логические схемы, так и аналоговые схемы. Однако данный метод использовался исключительно для параметрического синтеза.

Методы оптимизации на основе эволюционных вычислений является наиболее популярными для решения задачи синтеза схем. Методы данной группы объединяет общая концепция, в основе которой заложены принципы, которые используются в теории биологической эволюции. Существуют множество различных реализаций такого подхода, наиболее популярными из которых являются генетические алгоритмы (ГА) и генетическое программирование (ГП). В работе [47] представлено сравнение различных подходов к оптимизации булевых выражений, которое выполняется при синтезе логических схем. Результаты показали, что ГА наиболее подходят для решения подобных задач. В статье [59] ГА используются для оптимизации многоуровневых логических схем. С помощью ГА были получены логические схемы с меньшим количеством логических функций. В качестве логических элементов в статье использовались готовые шаблоны для таких элементов как функция поиска минимума, функция поиска максимума и сложные функции суммирования. В работе [60] доказано, что ГА позволяет уменьшить потребляемую мощность схем от 3 до 42 процентов для набора тестов схем ISCAS. Также известно, что для синтеза схем комбинаторной логики

используют подход на основе ГП [61] как альтернативный способ использованию карт Карно и метода Куайна-Мак-Класки [62, 63].

В работе [64] предложен подход к синтезу аналоговых схем с использованием ГП, проведена проверка для восьми устройств. Имеется изначальная схема, к которой применяются операции добавления компонента, задания номинала, изменения соединений и другие. Алгоритм варьирует последовательность команд, пока не получит удовлетворяющее требованиям решение.

Также эволюционные алгоритмы применяют для синтеза СВЧ-схем. Например, многокритериальный ГА, позволяет решить задачу оптимизации фильтра низких частот, проводя поиск по 160 структурным параметрам и 4 основным характеристикам одновременно [65]. Этот же метод применим для миниатюризации СВЧ-структур [66, 67]. В работе [68] показано проектирование СВЧ-генератора с помощью ГА, которое позволяет менее чем за 2 минуты получить работоспособное решение. В работе [69] ГА применены для синтеза преобразователя ВЧ сигнала в постоянный ток для системы беспроводной передачи энергии. Отмечается важность скорости моделирования для синтеза: в данной работе использование свёрточной искусственной нейронной сети заменило электромагнитное моделирование, за счет чего время синтеза уменьшилось в десять раз. В работе [70] был предложен эволюционный алгоритм на основе суррогатной модели, позволяющий проводить глобальную оптимизацию СВЧ-фильтров. В работе [71] описывается методика на основе ГА, позволяющая синтезировать усилители с распределённым усилением нагруженным на комплексное сопротивление. В работе [72] описан гибридный алгоритм на основе ГА и эволюционных вычислений для синтеза антенн. Использование гибридного метода позволяет устранить недостатки обоих методов. В работах [73–75] описывается использование ГА для получения усилителей мощности широкого назначения. Также известно о работе [76] в которой ГА используются для синтеза цепей согласования активных СВЧ схем.

Подводя итог, можно заключить, что ГА является одним из широко используемых подходов для решения широкого спектра задач. Отличительной особенностью является то, что данный подход позволяет проводить структурно-параметрический синтез. Таким образом, считается обоснованным использование ГА для реализации синтеза логических схем на GaAs технологии.

## **1.5. Транзисторы для логических схем на основе GaAs технологии**

### **1.5.1. Особенности транзисторов для применения в логических схемах**

Существует четыре типа транзисторов, которые возможно использовать для изготовления логических схем на основе GaAs технологии. Первые три типа являются: ПТ с управляющим р-п переходом, ПТ с барьером Шоттки (ПТШ) и НЕМТ-транзистор. Четвертый тип транзисторов – гетероструктурный биполярный транзистор.

ПТ с управляющим р-п переходом обладают более низкими рабочими частотами. Это связано с низкой подвижностью неосновных носителей заряда ( $250 \text{ см}^2/\text{Вс}$ ), которая даже ниже, чем у кремния ( $300 \text{ см}^2/\text{Вс}$ ). Ранее считалось, что такие транзисторы будут использованы в схемах с низкой мощностью потребления, однако на данный момент в литературе не найдены новые работы по данному направлению. Последние исследования по использованию JFET транзисторов в логических схемах были опубликованы в 1994 году [77]. Среди всех перечисленных видов транзисторов, ПТШ наиболее просты в изготовлении, но значительно проигрывают по частотным и шумовым параметрам НЕМТ-транзисторам. На данный момент НЕМТ-транзисторы являются самым популярным решением для логических схем на основе GaAs технологий [78]. НВТ транзисторы способны работать на более высоких частотах, но высокое потребление и высокая сложность изготовления не позволяет конкурировать им с решениями на НЕМТ-транзисторах [79]. Тем не менее, известно о случае использования НВТ транзисторов в паре с НЕМТ-транзисторами в единой схеме управления [80].

Современные ППМ должны иметь низкую потребляемую мощность, высокое быстродействие и компактность, что накладывает ограничения на используемые в логических схемах транзисторы. Для достижения минимального потребления и уменьшения габаритов в таких схемах используются однозатворные транзисторы с шириной затвора не более 10 мкм. Также более узкие транзисторы обладают меньшей ёмкостью затвора, что повышает быстродействие логических схем, так как требования к нагрузочной способности уменьшаются.

При изготовлении логических схем особое внимание уделяется контролю значений напряжения отсечки и тока насыщения в транзисторах. Отклонение значения напряжения отсечки из-за технологического разброса сказывается на корректности работы большинства логических схем. Допустимый диапазон варьирования значения напряжения отсечки определяется запасом помехоустойчивости проектируемой схемы [81]. Это связано с тем, что напряжение отсечки определяет напряжение переключения в логических схемах. Изменение тока насыщения напрямую влияет на быстродействие и потребление изготавливаемых схем. Также отклонение тока насыщения может привести к изменению значения напряжения для логических состояний на выходах логических элементах, использующихся для проектирования логических схем, что может привести к неработоспособности изготовленного устройства. Более подробное описание параметров различных типов логических схем представлено в разделе 1.2.

#### 1.5.2. Обзор моделей транзисторов для применения в логических схемах

Помимо обеспечения стабильных технологических процессов, необходимо предоставить проектировщикам точные модели транзисторов. При построении модели повышенное внимание необходимо уделить моделированию проходной и выходной вольт-амперной характеристикам (ВАХ), особенно в области напряжения отсечки по затвору. Не менее важно достаточно точно определить ёмкость затвора, так как именно эта

характеристика описывает переходные процессы при переключении между режимами работы транзистора.

В мире существует большое количество моделей транзисторов от самых простых, позволяющих точно воспроизводить ВАХ только при фиксированных значениях напряжения на затворе (Curtice [82]), до сложных моделей, которые используют для описания характеристик транзистора уравнения, описывающие реальные физические процессы, возникающие в транзисторах (ASM [83], MVSG [84]). Однако если первые модели не используются из-за низкой точности, то использование последней усложняется из-за самого процесса построения модели, в процессе которого зачастую используется закрытая информация о составе и физических параметрах технологических слоёв. Литературный обзор показал, что часто используемыми являются следующие модели: ТОМ (*Triquint Own Model*) [85], Angelov [86] и EE-HEMT [87]. Данные модели относительно просты в построении и достаточно точно повторяют требуемые характеристики.

#### *Triquint Own Model*

ТОМ модель была создана с целью увеличить точность моделирования ВАХ в области напряжения отсечки по сравнению с существовавшими на тот момент менее точными моделями Statz и Curtice. Первая версия модели ТОМ отличалась от своих предшественников двумя важными модификациями. Первая модификация вносила изменение в моделирование тока стока при напряжениях затвор-исток, близких к напряжению отсечки. Для этого, вместо фиксированного параметра  $V_t$  в модели было использовано следующее выражение для порогового напряжения:

$$V_t = V_{t0} - \gamma V_{ds}, \quad (1.1)$$

где  $V_{t0}$  – пороговое напряжение;

$\gamma$  – параметр, определяющий зависимость  $V_t$  от  $V_{ds}$ .

Подобный подход позволил улучшить подгонку проводимости стока при низких значениях токах стока, добавляя возможность регулировать это



значение при помощи параметра  $\gamma$ . Эквивалентная схема модели ТОМ показана на рисунке 1.21.

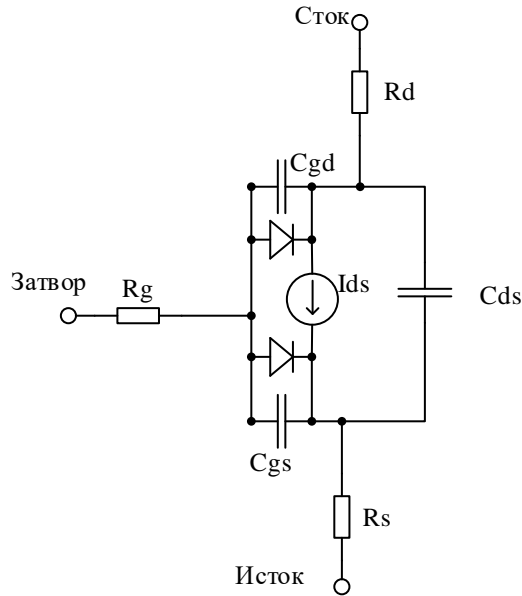


Рисунок 1.21 – Эквивалентная схема модели ТОМ

Вторая модификация добавила возможность учитывать деградацию тока стока, при больших значениях токов и напряжений:

$$I_{ds} = \frac{I_{ds0}}{1 + \delta V_{ds} I_{ds0}}, \quad (1.2)$$

$$I_{ds0} = \beta (V_{gs} - V_t)^Q \left( 1 - \left( 1 - \frac{\alpha V_{ds}}{3} \right)^3 \right), \quad (1.3)$$

где  $\delta$  – параметр деградации тока стока;

$\beta$  – параметр крутизны;

$Q$  – параметр, определяющий характер зависимости передаточной характеристики;

$\alpha$  – параметр напряжения насыщения.

Используя параметр  $\delta$  можно управлять скоростью роста тока стока  $I_{ds}$ , при определённых значениях параметра  $\delta$  значение  $I_{ds}$  может стать отрицательным, что наблюдается в мощных приборах. Благодаря параметру  $Q$  появляется возможность учитывать зависимость передаточной характеристики, отличную от квадратичной, что характерно для приборов с малым отрицательным или положительным пороговым напряжением.

Вместо выражений для ёмкости затвор-сток и затвор-исток, в модели ТОМ используются выражения для зарядов, в которых учитывается эффект насыщения скорости носителей заряда [88]:

$$Q_{gs} = \begin{cases} C_{gs0} \left( 2V_{bi} \left( 1 - \sqrt{1 - \frac{V_{max}}{V_{bi}}} \right) + \frac{V_{new} - V_{max}}{\sqrt{1 - \frac{V_{max}}{V_{bi}}}} \right) & \text{при } V_{new} \geq V_{max} \\ C_{gs0} \left( 2V_{bi} \left( 1 - \sqrt{1 - \frac{V_{new}}{V_{bi}}} \right) \right) & \text{при } V_{new} < V_{max} \end{cases} \quad (1.4)$$

$$Q_{gd} = C_{gd0} V_{eff2} \quad (1.5)$$

$$V_{new} = \frac{1}{2} \left( V_{eff1} + V_t + \sqrt{(V_{eff1} - V_t)^2 + \delta^2} \right) \quad (1.6)$$

$$V_{eff1} = \frac{1}{2} \left( V_{gs} + V_{gd} + \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right) \quad (1.7)$$

$$V_{eff2} = \frac{1}{2} \left( V_{gs} + V_{gd} - \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right) \quad (1.8)$$

где  $C_{gs0}$  – ёмкость затвор-исток при нулевом напряжении  $V_{gs}$ ;

$C_{gd0}$  – ёмкость затвор-сток;

$V_{bi}$  – контактная разность потенциалов (высота барьера Шоттки);

$V_t$  – пороговое напряжение;

$V_{max}$  – максимальное значение напряжения  $V_{eff1}$ ;

$\delta$  – параметр сглаживания при переходе от  $V_{eff1}$  к  $V_t$  в окрестности отсечки;

$\Delta$  – параметр сглаживания при переходе от  $V_{gs}$  к  $V_{gd}$  в окрестности  $V_{ds} = 0$  В.

Данные выражения основаны на классической модели барьерной ёмкости диода и обеспечивают непрерывность вольт-фарадных характеристик во всем диапазоне напряжений на затворе как при положительных, так и при отрицательных напряжениях сток-исток.

Во втором поколении модели ТОМ (ТОМ2) было улучшено моделирование тока стока в окрестности напряжения насыщения, а также добавлен учет наклона подпороговой ВАХ. Улучшения не затронули основное

уравнение для тока стока (1.2), однако выражение для  $I_{ds0}$ , было существенно модифицировано:

$$I_{ds0} = \beta V_g^Q F_d(\alpha V_{ds}), \quad (1.9)$$

$$F_d(x) = \frac{x}{\sqrt{1+x^2}}, \quad (1.10)$$

$$V_g = QV_{st} \ln \left( \exp \left( \frac{V_{gs} - V_{to} + \gamma V_{ds}}{QV_{st}} \right) + 1 \right), \quad (1.11)$$

$$V_{st} = N_{st} \left( \frac{kT}{q} \right), \quad (1.12)$$

$$N_{st} = N_g + N_d V_{ds}, \quad (1.13)$$

где  $\beta$  – параметр крутизны;

$Q$  – параметр, определяющий характер зависимости передаточной характеристики;

$V_{to}$  – пороговое напряжение;

$\gamma$  – параметр, определяющий скорость изменения  $V_t$  при изменении  $V_{ds}$ ;

$\alpha$  – параметр напряжения насыщения;

$N_g$  – параметр, определяющий наклон подпороговой характеристики;

$N_d$  – параметр, определяющий деградацию подпороговой характеристики с ростом  $V_{ds}$ ;

$k$  – постоянная Больцмана;

$T$  – температура;

$q$  – заряд электрона.

На замену функции гиперболического тангенса, в модели ТОМ2 пришла функция (1.10), при этом параметр  $\alpha$  также отвечает за варьирование напряжения насыщения [89]. Выражение (1.11) отвечает за сглаживание перехода передаточной ВАХ от подпорогового режима к линейному.

В третьем поколении модели ТОМ (ТОМ3) уравнения для тока стока были незначительно модифицированы. В основное уравнение (1.9) был добавлен коэффициент позволяющий масштабировать построенную модель по затвору. Также была решена проблема сохранения заряда путём замены выражений (1.4)-(1.8) на эмпирические выражения для зарядов и ёмкостей на основе полиномиальных и тригонометрических функций [90].

Angelov

Впервые данная модель была представлена профессором Ilcho Angelov в 1992 году для GaAs MESFET и HEMT [86] транзисторов и позже расширена для GaN HEMT-транзисторов [91]. Данная модель была разработана с применением нелинейной аппроксимацией зависимости тока стока от напряжения на затворе и производных данной функции. Эквивалентная схема модели Angelov представлена на рисунке 1.22.

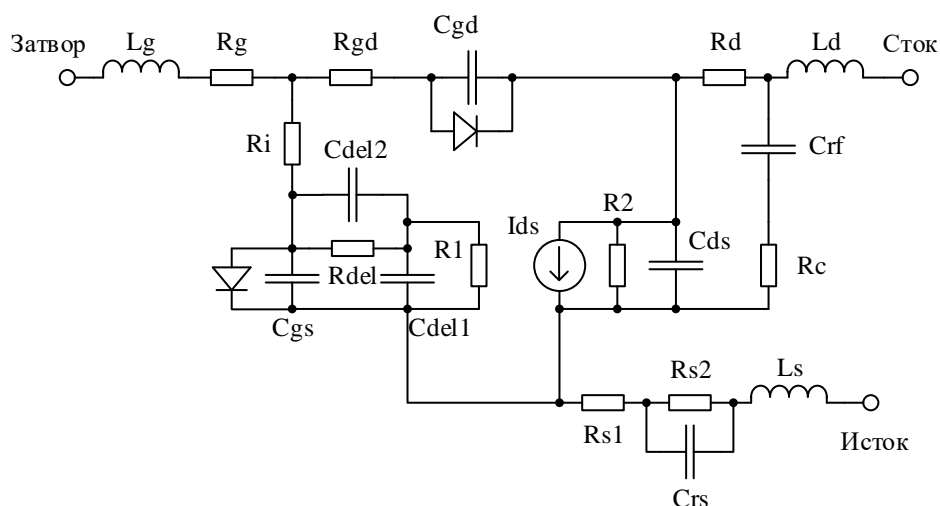


Рисунок 1.22 – Эквивалентная схема модели Angelov

Основные уравнения, использующиеся в данной модели, описывают ток стока ( $I_{ds}$ ), ток затвора ( $I_{gs}, I_{gd}$ ) и нелинейные ёмкости ( $C_{gs}, C_{gd}, C_{ds}$ ). Зависимость тока стока от напряжения сток-исток имеет схожий вид с функцией гиперболического тангенса. Также стоит отметить, что производная функции гиперболического тангенса колоколообразный вид, как и зависимость крутизны. Поэтому функцию  $\tanh(x)$  часто используют для описания зависимости тока стока от напряжений на выводах транзистора.

Ток стока в данной модели представляет собой зависимость от двух переменных – напряжения затвор-исток ( $V_{gs}$ ) и напряжения сток-исток ( $V_{ds}$ ), которая имеет следующий вид:

$$I_{ds} = I_{pk} \cdot (1 + \tanh(\psi)) \cdot (1 + \lambda V_{ds}) \cdot \tanh(\alpha \cdot V_{ds}), \quad (1.14)$$

где  $I_{pk}$  – ток стока в рабочей точке при максимальной крутизне;

$\lambda$  – коэффициент, отвечающий за индуцированное стоком понижение барьера;

$\psi$  – функция, представляющая собой степенной ряд пиков крутизны.

Функция  $\psi$  имеет следующий вид:

$$\psi = P_1 \cdot (V_{gs} - V_{pk}) + P_2 \cdot (V_{gs} - V_{pk})^2 + P_3 \cdot (V_{gs} - V_{pk})^3, \quad (1.15)$$

где  $V_{gs}$  – напряжение на затворе в рабочей точке в максимуме крутизны;

$P_1, P_2, P_3$  – параметры аппроксимации, позволяющие управлять зависимостью от напряжения затвор-сток.

Заряд на электродах моделируется при помощи аппроксимации нелинейных ёмкостей под измеренные ёмкости по следующим уравнениям:

$$C_{gs} = C_{gs0} \cdot [1 + \tanh(\psi_1)] \cdot [1 + \tanh(\psi_2)], \quad (1.16)$$

$$C_{gd} = C_{gd0} \cdot [1 + \tanh(\psi_3)] \cdot [1 + \tanh(\psi_4)], \quad (1.17)$$

где  $\psi_1, \psi_2, \psi_3, \psi_4$  – параметры аппроксимации, позволяющие настраивать модель емкостей.

В модели Angelov насчитывается около 60 параметров. Благодаря большому числу настраиваемых параметров модель позволяет описывать нелинейное поведение токов и зарядов и эффекты саморазогрева. В то же время, экстракция большого количества параметров является сложным и трудоёмким процессом. Так как модель описана математическими уравнениями, которые не имеют физического смысла, то любое изменение геометрии транзистора приведёт к тому, что модель необходимо будет корректировать. При значительных изменениях в геометрии может возникнуть ситуация, при которой невозможно будет добиться высокой точности моделирования простой корректировкой параметров и необходимо будет строить несколько моделей для разных областей геометрических параметров.

### *ЕЕ-НЕМТ*

Модель ЕЕ-НЕМТ была разработана компанией Keysight Technologies и применяется исключительно для GaAs и GaN НЕМТ-транзисторов. Данная модель разделяет ток стока на три составляющие: постоянная составляющая тока  $I_{DC}$ , ток смещения  $I_{AC}$  и дисперсионная составляющая тока  $I_{dbp}$  сумма данных составляющих определяет значение тока стока [92]. Эквивалентная схема модели ЕЕ-НЕМТ представлена на рисунке 1.23.

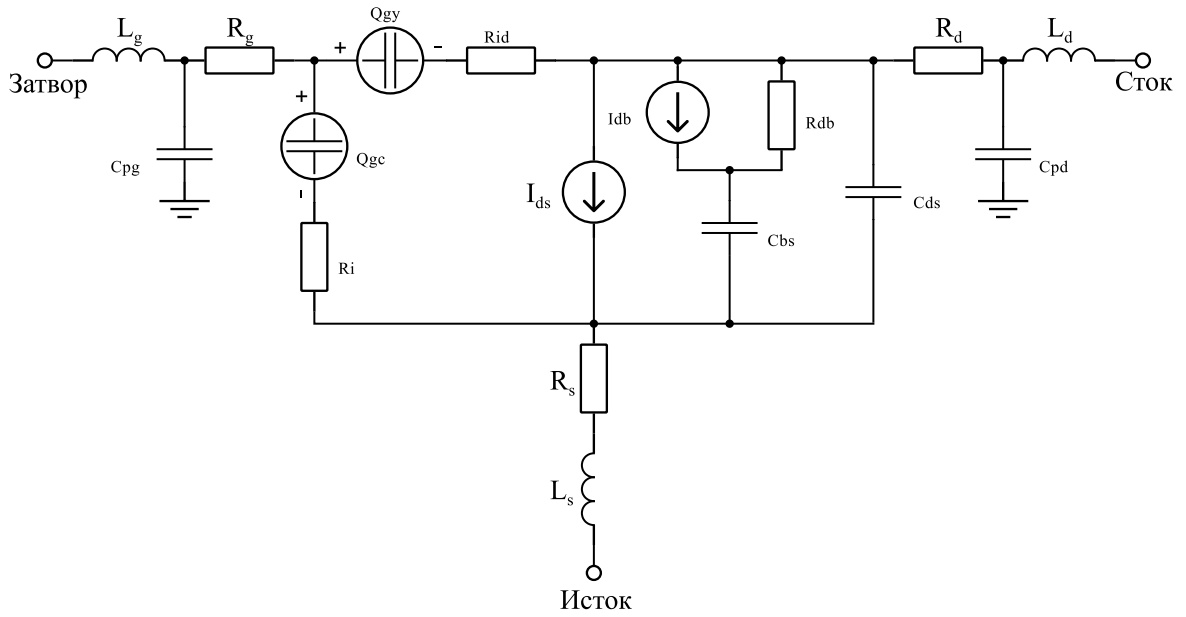


Рисунок 1.23 – Эквивалентная схема модели EE-NEMT

Постоянная составляющая тока описывается схожим образом, как и в модели Angelov, для аппроксимации зависимости используется функция  $\tanh(x)$ :

$$I_{DC} = I_1(V_{gs}) \cdot I_2(V_{ds}) \cdot \tanh(\alpha V_{ds}) \quad (1.18)$$

где  $I_1(V_{gs}), I_2(V_{ds})$  – сложные кусочно-заданные функции описывающие определённые области на графике крутизны (рисунок 1.24).

Данные функции являются эмпирическими и не несут никакого физического смысла.

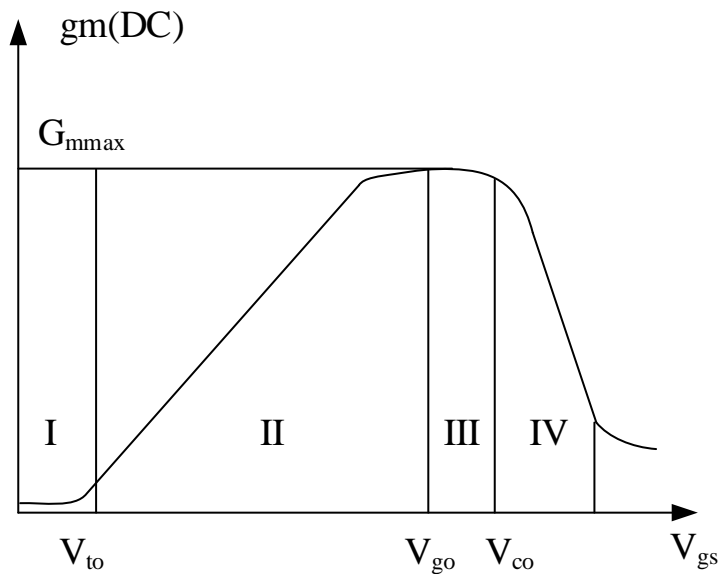


Рисунок 1.24 – График крутизны

Ток смещения описывается зарядкой и разрядкой источников зарядов и  $Q_{gc}$  следующим образом:

$$I_{Ac} = \frac{dQ_{gy}}{dt} + \frac{dQ_{gc}}{dt} \quad (1.19)$$

$$Q_{gy} = (q_g(V_{gc}, V_{gc} - V_{gy}) - \gamma V_{gc}) \cdot f_2 + \gamma V_{gy} \cdot f_1 \quad (1.20)$$

$$Q_{gc} = (q_g(V_{gc}, V_{gc} - V_{gy}) - \gamma V_{gy}) \cdot f_2 + \gamma V_{gc} \cdot f_1 \quad (1.21)$$

где  $q_g$  – эффективная ёмкость затвора  $Q_{gy}$ ;

$V_{gc}, V_{gy}$  – напряжение между внутренними электродами;

$f_1, f_2, \gamma$  – параметры аппроксимации.

Ток затвора ( $I_{gs}, I_{gd}$ ) описывается при помощи стандартной модели диода, состоящей из двух параметров, в которой не рассматриваются эффекты неидеальности диода. Эффекты захвата описываются RC цепью и источником тока размещенными между электродами стока и истока, для имитации эффектов захвата, наблюдаемых в измерениях.

Дисперсионная составляющая тока  $I_{abp}$  описывается при помощи вычитания влияния постоянной составляющей тока и тока смещения из измеренного значения тока, аппроксимируя отдельные участки кривой при помощи зависимости  $\tanh^{-1}(V_{ds})$ . Данная аппроксимация проводится после того, как были определены составляющие тока смещения и постоянного тока.

Модель EE-HEMT стала отраслевым стандартом и была внедрена в системы автоматизированного проектирования Advanced Design System и AWR Microwave Office.

### 1.5.3. Алгоритмы экстракции параметров моделей транзисторов для применения в логических схемах

Представленные модели позволяют проводить учет влияния температурных эффектов и моделировать шумовые характеристики. Однако при проектировании логических схем, учёт этих параметров не обязателен, поэтому параметры, отвечающие за данные эффекты, во всех моделях не экстрагируются. Для использования модели при проектировании достаточно повторить малосигнальные характеристики и нелинейные ёмкости, к которым

относятся  $C_{gd}$ ,  $C_{ds}$ , и  $C_{gs}$ . Однако в исследуемых моделях нет возможности извлечь значения ёмкостей напрямую, поэтому их рассчитывают из S-параметров. Формулы для расчёта внутренних ёмкостей имеют следующий вид:

$$C_{gs} = \frac{(Im(Y_{11}) + Im(Y_{12}))}{f} \quad (1.22)$$

$$C_{gd} = \frac{Im(Y_{12})}{f} \cdot \left(1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})}\right)^2\right) \quad (1.23)$$

Внутренние ёмкости можно определить только на низких частотах, так как влияние индуктивностей пренебрежимо мало. Построение внутренних ёмкостей осуществляется на выбранной частоте из диапазона от 0,5 ГГц до 2 ГГц. Выбранная частотная точка обычно зависит от топологии транзистора и от предоставляемых данных.

Существует множество различных алгоритмов экстракции перечисленных моделей, далее будут описаны алгоритмы экстракции для моделей: TOM3, Angelov и EE-HEMT.

### *Triquint Own Model*

В работе [93] описан алгоритм построения модели TOM3. Предложенный алгоритм делится на 2 этапа: экстракция параметров, описывающих поведение характеристик на постоянном токе, и экстракция параметров зарядовой модели. Экстракция первого приближения осуществляется на основе графиков ВАХ исследуемого транзистора. Параметры  $V_{st}$  и  $M_{st}$  влияют на наклон тока стока в области подпорогового напряжения. Параметры  $I_s$  и  $n$  моделируют поведение диода затвора. Параметр  $V_{t0}$  определяет напряжение отсечки. Параметр  $\beta$  определяет уровень тока в транзисторе в режиме насыщения. Параметр  $\alpha$  определяет поведение тока стока в области коленного напряжения. Параметры  $\gamma$  и  $\lambda$  определяют рост тока при высоких значениях напряжения сток-исток (рисунок 1.25-1.26).



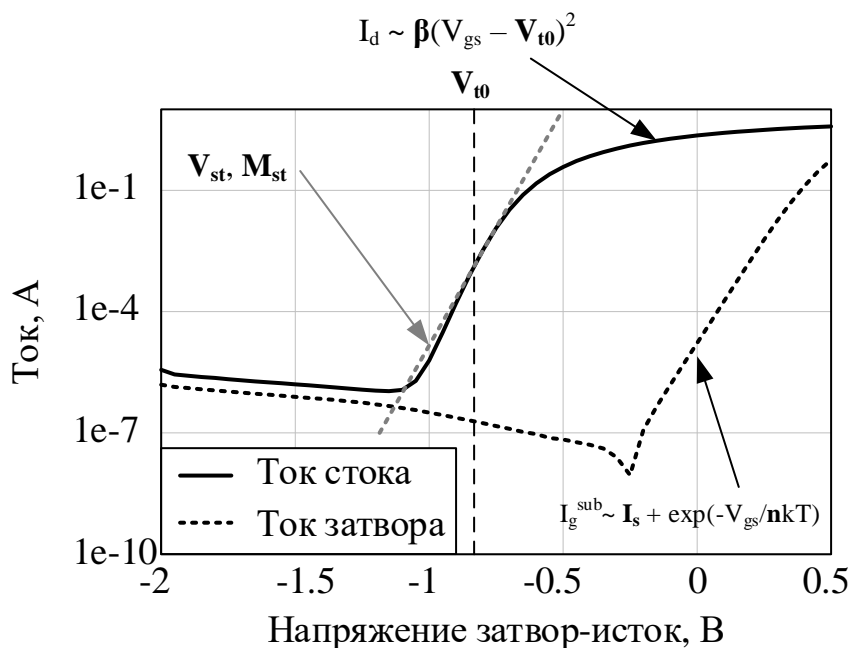


Рисунок 1.25 – Область влияния параметров модели на проходной ВАХ транзистора

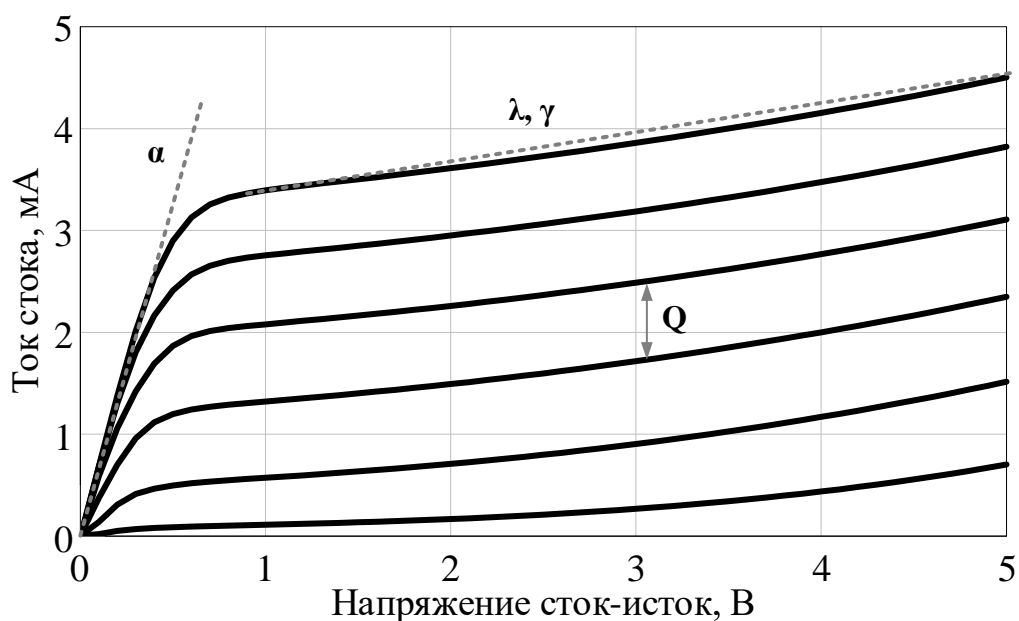


Рисунок 1.26 – Область влияния параметров модели на прямой ВАХ транзистора

После чего используются различные методы оптимизации, для точного определения параметров модели. В работе [93] используется алгоритм оптимизации Левенберга-Марквардта. В качестве целей оптимизации выступает разница между измеренными и смоделированными характеристиками. После завершения оптимизации параметров, отвечающих

за моделирование на постоянном токе, проводится экстракция параметров зарядовой модели. В зарядовой модели присутствует ряд параметров, которые используются в уравнениях для тока стока, таким образом точность моделирования нелинейных ёмкостей напрямую зависит от точности повторения ВАХ транзистора.

Перед экстракцией параметров зарядовой модели необходимо из полученных измерений вычесть влияние паразитных параметров, относящихся к металлизации электродов транзистора на его характеристики. Для этого используется стандартный подход, предложенный Берротом в 1991 году [94]. После чего определяются параметры, описывающие внутренние ёмкости транзистора.

После определения внутренних ёмкостей вручную настраиваются параметры, описывающие зарядовую модель. Первое приближение получается ручной настройкой параметров, после чего запускается процесс оптимизации. Всего в модели ТОМЗ насчитывается 10 параметров, описывающих зарядовую модель ёмкостей.

### *Angelov*

Построение моделей транзисторов проводилось по ранее разработанной методике [95–99]. Схематично, этапы построения нелинейной модели Angelov показаны на рисунке 1.27.



Рисунок 1.27 – Методика построения нелинейной модели Angelov

Внутренний источник тока  $I_{ds}$  в модели Angelov описывается следующими параметрами, которые можно объединить по группам в зависимости от их влияния на поведение ВАХ. Параметры  $L_{sb0}$ ,  $V_{tr}$  и  $V_{sb2}$  влияют на область пробоя на ВАХ транзистора. Параметры  $I_{pk0}$ ,  $V_{pks}$ ,  $DV_{pks}$ ,  $P_1$ ,  $P_2$  и  $P_3$  описывают уровень тока и его изменение при различных значениях напряжения на затворе  $V_{gs}$ . Параметры  $R_s$ ,  $R_d$ ,  $\alpha_r$  и  $\alpha_s$  описывают поведение ВАХ до коленного напряжения  $V_{knee}$ . Параметры  $\lambda$  и  $\lambda_1$  моделируют эффект модуляции канала (рисунок 1.28).

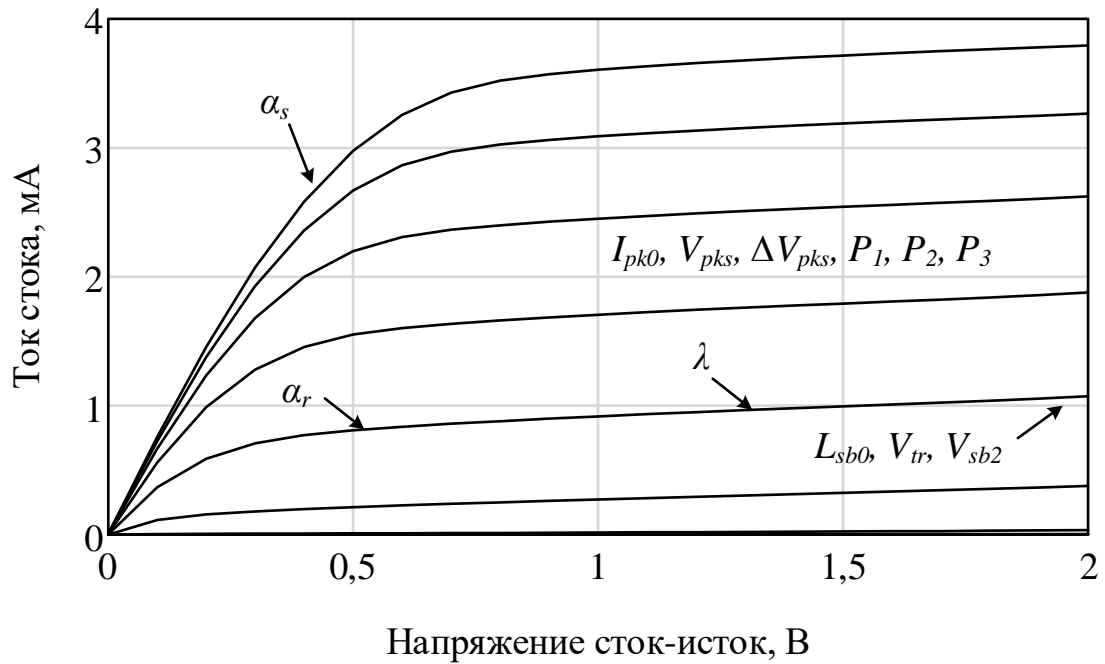


Рисунок 1.28 – Области влияния параметров источника тока  $I_{ds}$  на выходную ВАХ транзистора

Для нахождения значений всех параметров, проводится аппроксимация поверхности тока от напряжений затвор-сток и сток-исток. Однако, для получения физически обоснованных параметров после аппроксимации поверхности, необходимо определить начальное приближение для следующих параметров:

- сопротивление стока  $R_d$ ;
- сопротивление истока  $R_s$ ;
- ток в точке максимальной крутизны  $I_{pk0}$ ;
- параметры аппроксимации, позволяющие управлять зависимостью от напряжения затвор-сток  $P_1, P_2, P_3$ ;
- параметры насыщения  $\alpha_s, \alpha_r$ ;
- параметр, отвечающий за модуляцию канала  $\lambda$ ;
- напряжение на затворе в точке максимальной крутизны  $V_{pks}$ .

Значения параметров  $R_s$  и  $R_d$  находятся из малосигнальной модели. Параметр  $I_{pk0}$  определяется как половинное значение тока в точке  $V_{ds}=V_{knee}$  и при положительном напряжении на затворе  $V_{gs}$ . Значения параметров  $\lambda$ ,  $\alpha_r$  и  $\alpha_s$

определяются по наклону ВАХ в областях, на которые эти параметры оказывают влияние. Значение параметра  $V_{pks}$  находится на пересечении значения  $I_{pk0}$  и производной ВАХ. Найденные таким образом значения являются первым приближением. После проведения аппроксимации и нахождения всех необходимых параметров, проводится оптимизация ВАХ.

После определения параметров внутреннего источника тока, проводится экстракция параметров, описывающих малосигнальные характеристики транзистора. Для применений в логических схемах наибольшее внимание уделяют моделированию нелинейных ёмкостей транзистора, так как именно они вносят наибольшее влияние на характеристики.

Первое приближение для параметров, отвечающих за поведение внутренних емкостей для первой группы, определяются исходя из графиков зависимости внутренних ёмкостей от напряжения на затворе  $V_{gs}$ . Значения параметров  $C_{gdpi}$  и  $C_{gd0}$  определяются по графику зависимости ёмкости  $C_{gd}$  от напряжения на затворе  $V_{gs}$ . Значение параметра  $C_{gdpe}$  берётся на порядок меньше, чем найденное значение  $C_{gdpi}$ . Значения параметров  $C_{gspi}$  и  $C_{gs0}$  определяются по графику зависимости ёмкости  $C_{gs}$  от напряжения на затворе  $V_{gs}$ .

Первое приближение для коэффициентов  $P$  определяется через параметры, отвечающие за поведение источника тока  $I_{ds}$  следующим образом:

$$P_{41} = P_{11} = P_1; \quad (1.24)$$

$$P_{40} = P_{10} = \frac{-V_{pks}}{P_{11}}; \quad (1.25)$$

$$P_{30} = P_{20} = 0,2; \quad (1.26)$$

$$P_{31} = P_{21} = \alpha_s. \quad (1.27)$$

После получения первого приближения для перечисленных параметров проводится процесс оптимизации. Стоит отметить, что во время оптимизации ёмкостей также подключается оптимизация  $S$ -параметров транзистора в «холодных» режимах: отсечки и без смещения.

После определения внутренних ёмкостей проводится многоэтапная оптимизация. На каждом этапе оптимизации определяется набор параметров модели, которые описывают поведение исследуемых характеристик в

определённых диапазонах напряжений. Процесс оптимизации проводится последовательно по таким наборам характеристик. В качестве целей для оптимизации используется разница между результатами моделирования и измерений исследуемых характеристик в заданном диапазоне по напряжениям. Подобный подход позволяет увеличить точность получаемой модели.

### *EE-HEMT*

Экстракция параметров модели EE-HEMT состоит из двух этапов. На первом этапе проводится экстракция параметров, отвечающих за моделирование на постоянном токе. Первоначально проводится экстракция первого приближения для необходимых параметров. Для этого используются результаты измерения ВАХ транзистора при напряжении сток-исток чуть выше коленного напряжения, при котором транзистор находится в режиме насыщения, но на ток еще не влияют эффекты модуляции канала и саморазогрева. Параметры источника тока и сжатия крутизны определяются в соответствии с зависимостью крутизны от напряжения на затворе при напряжении насыщения, изображенной на рисунке 1.29.

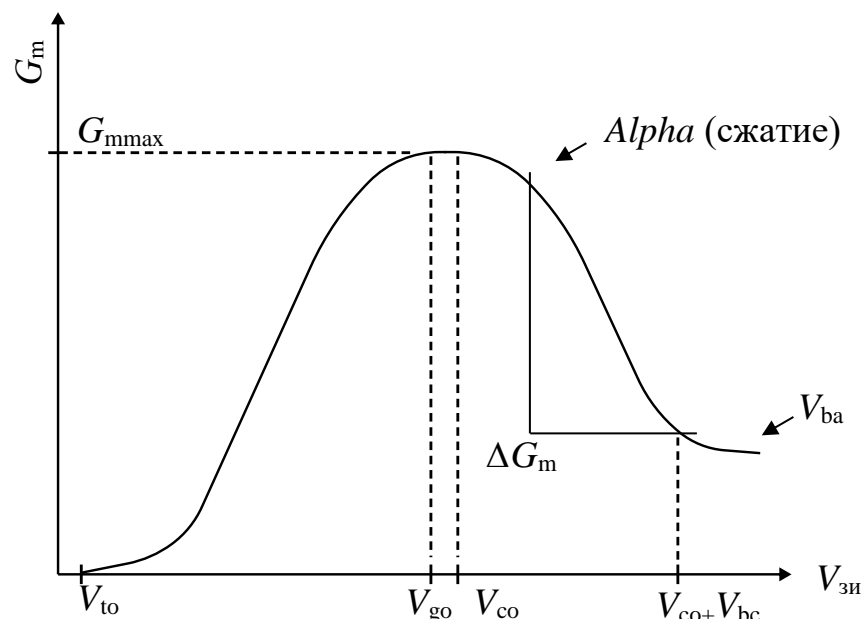


Рисунок 1.29 – Зависимость крутизны от напряжения на затворе при  $V_{dso}$

Анализируя зависимость крутизны от напряжения на затворе, можно определить ряд параметров модели. Например, параметр  $G_{mmax}$  равен максимальному значению крутизны, а соответствующее напряжение равно

параметру  $V_{go}$ . Параметр  $V_{to}$  соответствует напряжению, при котором крутизна начинает возрастать, а напряжения  $V_{co}$  и  $V_{bc}$  рассчитываются относительно  $V_{to}$ :  $V_{bc}=0,5 \cdot |V_{to}|$ ,  $V_{co}=0,7 \cdot |V_{to}|$ ,  $\Delta G_m = G_{mmax}/V_{bc}$ . После чего, используя эмпирические зависимости, находится первое приближение для остальных параметров источника тока.

После определения первого приближения проводится многоэтапная оптимизация, в областях на ВАХ, которые описываются выбранными параметрами. На первом этапе оптимизируются область высоких значений по напряжению сток-исток, при которых наблюдается эффект саморазогрева, после – значение максимальной крутизны, третьим – область в окрестности напряжения насыщения и на заключительном этапе – выходная проводимость при положительных напряжениях на затворе. После чего, запускается оптимизация по всем параметрам и всем характеристикам. Такой подход позволяет уменьшить ошибку моделирования ВАХ транзистора.

Далее проводится экстракция параметров модели, отвечающих за моделирование на переменном токе. Основной принцип экстракции заключается в расчете элементов малосигнальной схемы на всем диапазоне напряжений  $V_{gs}$ . Для получения первого приближения используется зависимость тока стока от напряжения  $V_{gs}$  при фиксированном напряжении  $V_{ds}$ , при котором транзистор переходит в режим насыщения.

Изначально проводится расчет элементов малосигнальной эквивалентной схемы и построение зависимости тока стока от напряжения на затворе для напряжения сток-исток соответствующему началу области насыщения  $V_{ds0}$ . После чего проводится расчет и построение зависимостей на всем диапазоне напряжений. Далее проводится экстракция и оптимизация параметров зарядовой модели, используя зависимость входной емкости  $C_{11}(C_{11}=C_{3M}+C_{3C})$  от напряжения на затворе при напряжении сток-исток равному  $V_{ds0}$ . После чего запускается процесс оптимизации параметров по зависимостям элементов малосигнальной эквивалентной схемы на всем диапазоне напряжений. Далее проводится экстракция и оптимизация параметров фазовой задержки и сопротивлений канала из зависимости

малосигнальных элементов схемы от напряжения на затворе при напряжении сток-исток равному  $V_{dso}$ . После чего проводится экстракция и оптимизация параметров дисперсии из параметров источника тока стока и зависимостей крутизны  $G_m$  и выходной проводимости  $G_{ds}$  ( $G_{ds} = \frac{I}{R_{CH}}$ ) от напряжения на затворе при напряжении сток-исток равному  $V_{dso}$ . Затем проводится оптимизация параметров дисперсии по зависимостям элементов малосигнальной ЭС на всем диапазоне напряжений. На финальном этапе запускается оптимизация всех параметров, используя частотные зависимости S-параметров в выбранных рабочих точках.

### 1.6. Выводы по разделу

Обзор исследований, выполненных по теме диссертационного исследования, показал, что вопрос проектирования логических схем на основе GaAs технологии для применения в СВЧ МФИС активно изучается последние десятилетия. Повышение требований к характеристикам СВЧ-устройств привело к тому, что возникла потребность в выполнении схем различного функционала на едином чипе. Такой подход позволил уменьшить габариты, время изготовления, количество выполняемых технологических операций, увеличить стабильность и надежность изготавливаемых СВЧ МФИС.

Процесс проектирования логических схем на основе GaAs технологии значительно отличается от такового в кремниевых технологиях. Малое количество слоёв металлизации усложняет трассировку таких схем, а сложность изготовления транзисторов влияет на повторяемость изготавливаемых устройств. Однако преимущества изготовления СВЧ МФИС на единой технологии перевешивают описанные недостатки.

Современный процесс проектирования невозможен без использования автоматизации. Наблюдается интерес к исследованиям, позволяющим повысить степень автоматизации проектирования. Наиболее популярными подходом является метод на основе ГА. Однако особенности логических схем для GaAs технологии не позволяют использовать подходы, которые



применяются в кремниевых схемах. Это приводит к необходимости разработки новых подходов для решения задачи синтеза логических схем.

По итогам проведённого литературного обзора было установлено, что специальных моделей, которые используются для проектирования логических схем на основе GaAs технологии. Однако для проектирования логических схем можно использовать стандартные модели, которые используются в схемах усилителей мощности, смесителей и прочих СВЧ-схемах. Среди обширного числа моделей были выбраны три наиболее перспективные модели с точки зрения построения и точности построения исследуемых характеристик: TOM3, Angelov и EE-HEMT. При проектировании логических схем, основные характеристики исследуются как на постоянном токе, так и во временной области. Так как используемые модели изначально не направлены на использование их во временной области, то необходимо оценить каждую из моделей. Также важно понимать, что во время автоматизированного проектирования выполняется большое количество запусков моделирования схемы, и время, затрачиваемое на моделирование проверяемой схемы, составляет большую часть времени синтеза. Таким образом, исследуемые модели будут оцениваться по следующим критериям: точность описания экспериментальных результатов, время моделирования, стабильность работы модели и сложность построения модели.

На основе проведенного обзора сформулированы следующие задачи настоящего диссертационного исследования:

1. Исследование принципов проектирования схем управления для СВЧ МФИС на основе GaAs pHEMT технологии.

2. Исследование и сравнительный анализ существующих типов логических схем на основе GaAs pHEMT технологии.

3. Разработка методики синтеза для автоматизации процесса проектирования драйвера управления для СВЧ МФИС на основе GaAs pHEMT технологии.

4. Исследование и сравнительный анализ моделей транзисторов, подходящих для быстрого и точного моделирования логических схем на

основе GaAs pHEMT технологии с целью ускорения автоматизированного процесса проектирования.

## 2. ПРОЕКТИРОВАНИЕ, ИЗГОТОВЛЕНИЕ И РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ ДРАЙВЕРА УПРАВЛЕНИЯ НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ

### 2.1. Проектирование структурной схемы драйвера

В подразделе 1.4 было приведено множество различных вариантов изготовления драйвера управления. Проектирование драйвера управления проводилось с использованием библиотеки элементов технологического процесса 0,25 мкм рHEMT с возможностью изготавливать только НО транзисторы. Требования к проектируемому драйверу управления формируются в зависимости от характеристик устройств с переменными состояниями. Проектируемый драйвер предназначался для управления ранее разработанной секцией аттенюатора, управление которой осуществлялось по сигналу уровня (-3 В, 0 В). Сигнал управления всегда соответствует уровням ТТЛ-логики. Требования к драйверу управления представлены в таблице 2.1.

Таблица 2.1 – Требования к проектируемому драйверу управления

Параметр	Значение
Напряжение отрицательного питания	не менее -5 В
Напряжение положительного питания	не более 5 В
Входное напряжение	0 В/ 5 В
Выходное напряжение	-3 В/ 0 В
Потребляемая мощность на разряд	менее 100 мВт

В качестве типа проектируемого драйвера управления был выбран последовательно-параллельный. Структуру последовательно-параллельного драйвера управления можно разбить на четыре функциональных блока: входной преобразователь напряжения (ВхПН), РС, РХ и выходной преобразователь напряжения (ВыхПН). РС во всех рассмотренных драйверах управления реализуется на динамических триггерах [25, 33, 100, 101]. РХ может быть реализован как на динамических [25, 102], так и на статических триггерах [1, 26]. В выбранной конфигурации драйвера управления РС и РХ реализованы на динамических триггерах, чтобы уменьшить число

проектируемых логических элементов. Структура спроектированного драйвера управления представлена на рисунке 2.1.

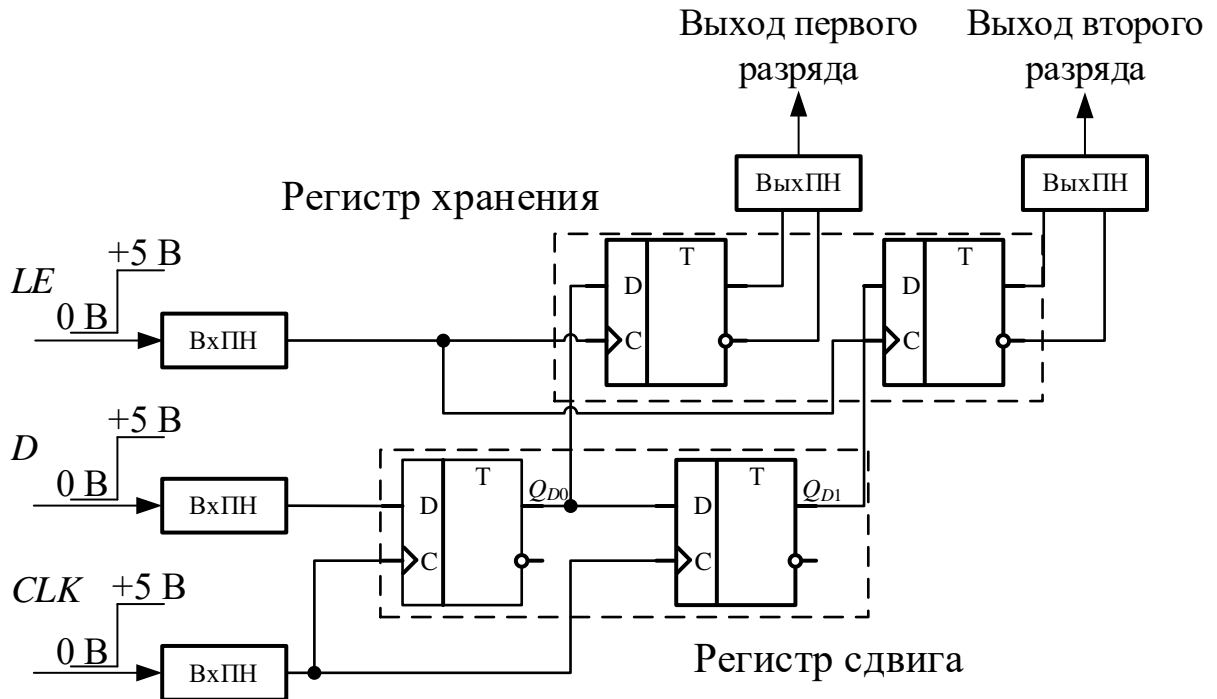


Рисунок 2.1 – Структура последовательно-параллельного драйвера управления

В качестве динамического триггера в работе использована схема на 6-ти элементах ИЛИ-НЕ. Данная реализация *D*-триггера встречается в ряде популярных решений [26, 101, 102], его структура показана в подразделе 1.4 на рисунке 1.8. Также такая структура динамического триггера моделируется быстрее и не вызывает ошибок сходимости получаемых результатов.

Проектирование таких блоков как: ИЛИ-НЕ с двумя и тремя входами, *D*-триггер [103], четырёхразрядный РС и разряд последовательно-параллельного драйвера управления [104] проводится по детерминированному алгоритму. При проектировании таких блоков используются схемы, проектирование которых будет описано в следующих подразделах. Результаты и методики измерения будут представлены в отдельном подразделе.

## 2.2. Проектирование инвертора

Перед тем как приступить к проектированию логического устройства необходимо выбрать тип логических схем. Основные характеристики, на

которые обращает внимание инженер при проектировании: занимаемая площадь, потребляемая мощность, запас помехоустойчивости и задержка распространения сигнала. При расчете занимаемой площади необходимо учесть, что помимо инверторов, в схемах драйвера управления используются логические элементы ИЛИ-НЕ. Для получения логического элемента необходимо в принципиальную схему инвертора добавить второй вывод и транзистор, как показано на рисунке 2.2.

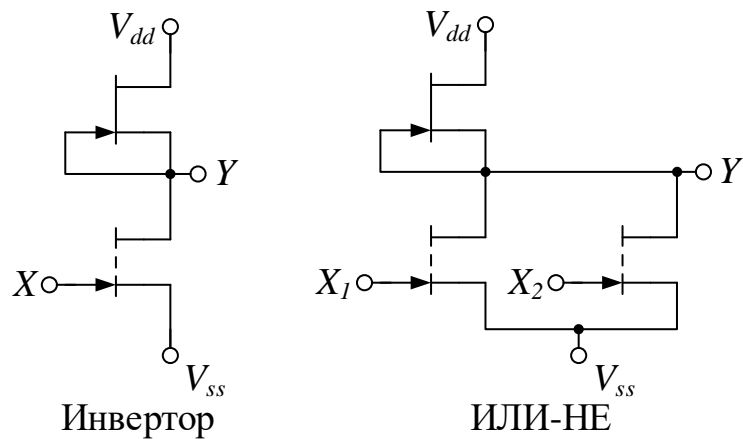


Рисунок 2.2 – Принципиальные схемы инвертора и ИЛИ-НЕ  
для схем НСПТ типа

Для выбранной конфигурации драйвера управления в одном разряде драйвера используется 12 элементов ИЛИ-НЕ. При этом размеры логических схем на GaAs могут достигать значительных размеров. Для оценки занимаемой площади необходимо оценить площадь обоих логических элементов, потому что площадь инвертора и логического элемента ИЛИ-НЕ соотносятся по-разному для разных типов логических схем. Например, для схем НСПТ типа – площадь инвертора в два раза меньше площади логического элемента ИЛИ-НЕ, а для схем БПТ типа – площадь инвертора и логического элемента ИЛИ-НЕ практически одинакова. Это связано с большим количеством элементов, входящих в принципиальную схему, из-за которых в топологии образуются незанятые области пространства, в которые помещается дополнительный транзистор логического элемента ИЛИ-НЕ. Электрические характеристики инвертора и логического элемента ИЛИ-НЕ идентичны, и не рассматриваются отдельно.

Для расчета потребляемой мощности и запаса помехоустойчивости используются характеристики двух последовательно соединенных каскадов инверторов. Потребляемая мощность рассчитывается как произведение напряжения питания на максимальный ток потребления для одного каскада инвертора. Для расчета запаса помехоустойчивости, передаточная характеристика второго каскада инвертора накладывается на передаточную характеристику первого каскада инвертора (рисунок 2.3).

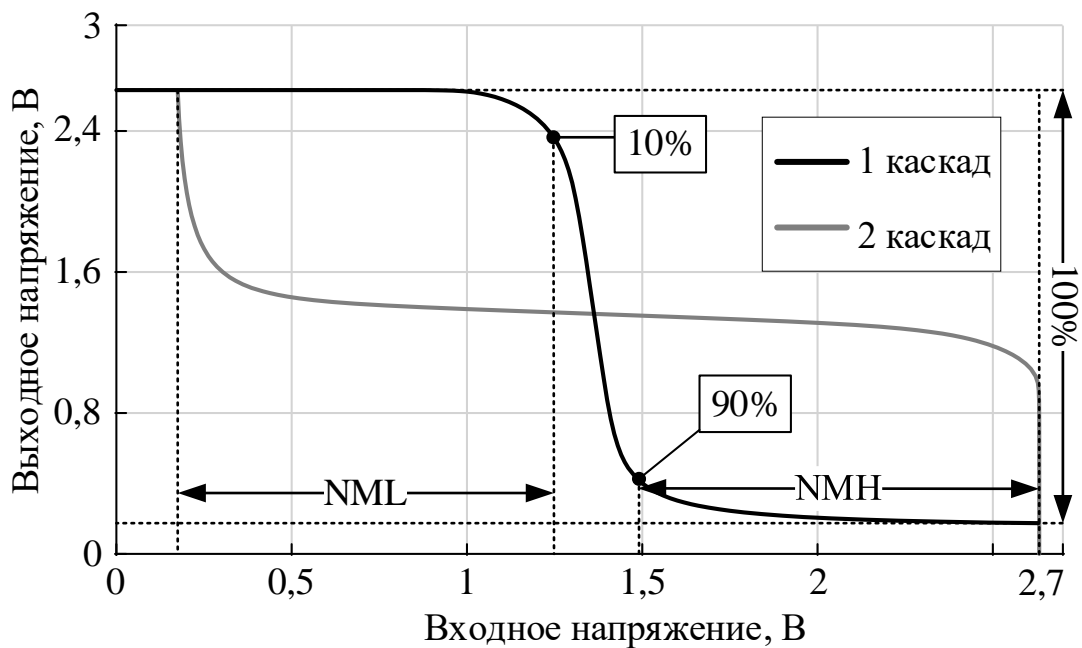


Рисунок 2.3 – Передаточные характеристики инверторов

Стоит отметить, что запас помехоустойчивости разделяется на две величины: запас помехоустойчивости для логического нуля (ЗПЛН) и запас помехоустойчивости для логической единицы (ЗПЛЕ). При проектировании инвертора рекомендуется получать равные значения для ЗПЛН и ЗПЛЕ, и чем ближе эти значения друг к другу, тем стабильнее схема инвертора. В идеализированном инверторе, ЗПЛН и ЗПЛЕ равны половине разницы между логическими символами.

Для определения быстродействия спроектированных схем инверторов, используется схема кольцевого генератора. Кольцевой генератор состоит из одного элемент ИЛИ-НЕ и четного количества  $N$  последовательно соединенных каскадов инверторов, как показано на рисунке 2.4.

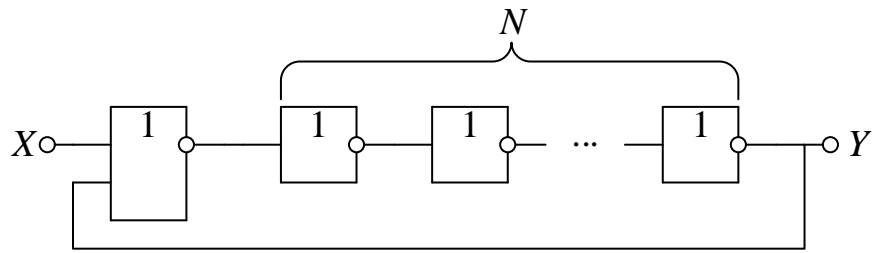


Рисунок 2.4 – Схема кольцевого генератора

Элемент ИЛИ-НЕ на входе позволяет управлять данной схемой, при подаче логического нуля на вход  $X$  схема кольцевого генератора включается и на выходе  $Y$  наблюдается периодический сигнал с постоянным периодом  $T$  (рисунок 2.5).

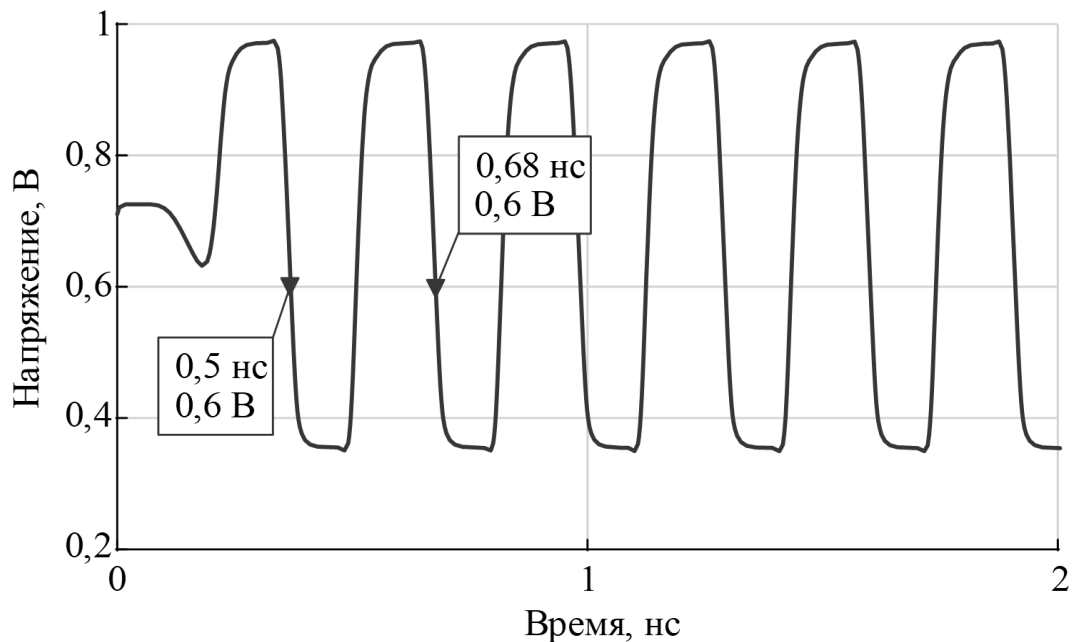


Рисунок 2.5 – Характеристика кольцевого генератора

Определив период сигнала  $T$ , можно рассчитать значение задержки распространения  $t_{pd}$  по следующей формуле:

$$t_{pd} = \frac{T}{2 \cdot (N + 1)}. \quad (2.1)$$

Использование большого количества последовательно соединенных каскадов инверторов позволяет уменьшить погрешность, в том числе избежать измерений на пределе чувствительности приборов. Иногда на выходе кольцевого генератора добавляют делитель частоты, чтобы дополнительно уменьшить частоту исследуемого сигнала. Кроме того, такое соединение инверторов позволяет усреднить величину задержки распространения,

которая может меняться из-за технологического разброса. Для определения быстродействия инвертора в работе использовалась конфигурация кольцевого генератора, включающая в себя элемент ИЛИ-НЕ и 10 инверторов.

Основываясь на проведённом литературном обзоре, было замечено, что в большинстве встроенных драйверов управления используется напряжение  $\pm 5$  В, реже используется  $\pm 3,3$  В и очень редко когда встречаются реализации с напряжением питания  $\pm 3$  В и ниже. В данной работе использовалось напряжение питания  $\pm 3,3$  В, данное значение напряжения позволяет обеспечить корректную работу для всех типов логических схем, использованных при сравнении характеристик. Спроектированные схемы показаны на рисунках 2.6-2.9, а сравнение их характеристик представлено в таблице 2.2.

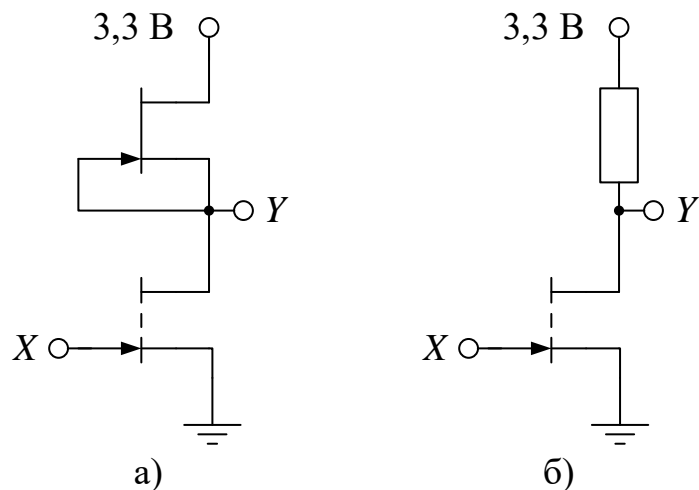


Рисунок 2.6 – Схемы инверторов:

- а) НСПТ с транзистором в качестве нагрузки; б) НСПТ с резистором в качестве нагрузки; в) НСПТ с истоковым повторителем

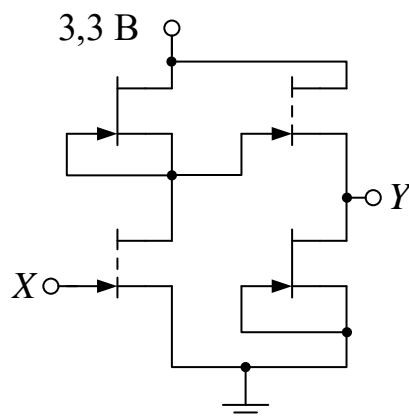


Рисунок 2.7 – Схемы инвертора НСПТ с истоковым повторителем



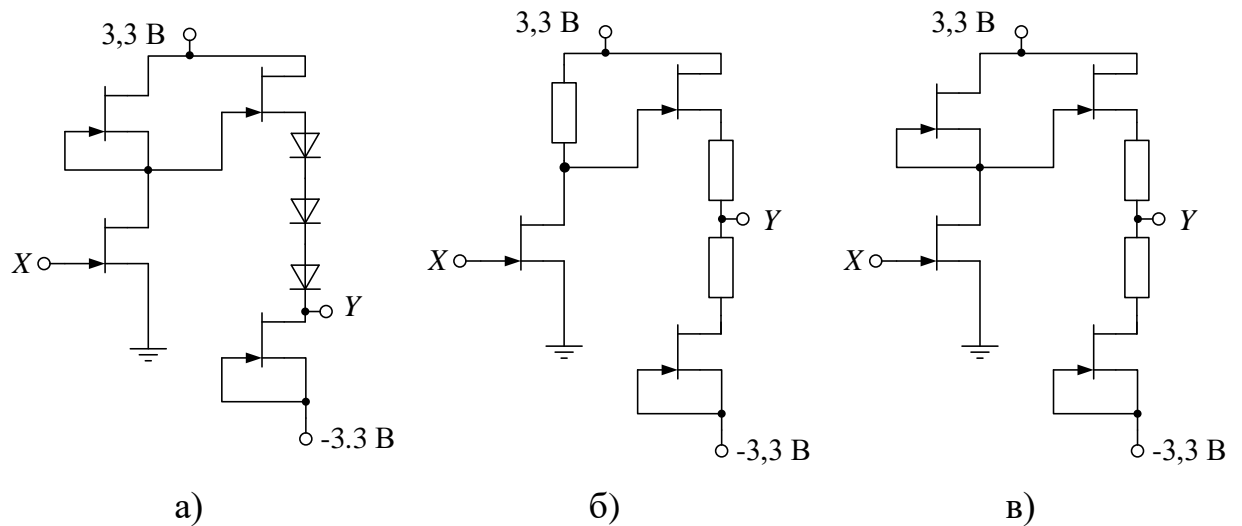


Рисунок 2.8 – Схемы инверторов:

а) БПТ на диодах; б) БПТ экспериментальный; в) БПТ на резисторах

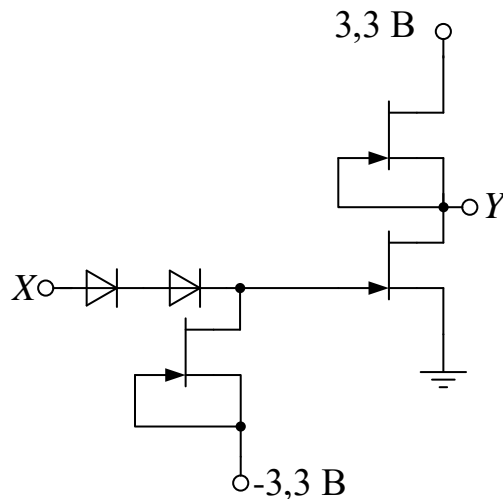


Рисунок 2.9 – Схема инвертора на основе схемы ДШПТ типа

Таблица 2.2 – Сравнение характеристик инвертора для различных типов логических схем

Тип схемы	ЗПЛН, В	ЗПЛЕ, В	$t_{pd}$ , пс	$P$ , мВт	$S_{HE}$ , МКМ×МКМ	$S_{ИЛИ-НЕ}$ , МКМ×МКМ
НСПТ с истоковым повторителем	0,74	0,31	18	18,71	74×75	92×108
НСПТ (резистор)	0,5	0,33	29,2	0,99	31×49	54×64
НСПТ (транзистор)	0,51	0,3	15	9,87	33×91	71×89
БПТ (резисторы)	0,35	0,53	205,1	11,48	68×108	94×108
БПТ (эксперимент)	0,66	1	320	1,5	89×121	89×121
БПТ (диоды)	1,47	0,53	23,6	28,59	96×158	96×162
ДШПТ	1,07	1,1	31,5	22,24	77×101	78×198

Результаты сравнения различных типов логических схем (таблица 2.2)

показали, что наименьшим потреблением и наименьшей занимаемой

площадью обладают логические элементы, спроектированные на основе схем НСПТ типа с резистивной нагрузкой [105]. Однако реализация таких схем стала возможна благодаря возможности изготовления тонкопленочных резисторов с высоким удельным сопротивлением. Использование резистора в качестве нагрузки позволило уменьшить потребляемую мощность почти в 10 раз, а площадь в 1,6 раза. При добавлении в схему НСПТ типа истокового повторителя наблюдается увеличение запаса помехоустойчивости в 1,5 раза, однако это приводит к увеличению потребляемой мощности почти в 2 раза.

Стоит отметить, что схемы БПТ типа с каскадом понижения уровня на резисторах обладают наименьшим энергопотреблением и наименьшей занимаемой площадью среди схем, спроектированных исключительно на НО транзисторах. Использование резисторов позволило уменьшить потребление схемы более чем в 2 раза, однако это привело к увеличению задержки распространения сигнала. Стоит отметить, что использование резисторов с высоким удельным сопротивлением позволило также уменьшить занимаемую площадь более чем в 2 раза, по сравнению со схемой БПТ типа с использованием диодов. Для дополнительного уменьшения потребляемой мощности можно дополнительно заменить нагрузочный транзистор в логическом каскаде на резистор с высоким значением сопротивления. Однако площадь резисторов сильно варьируется в зависимости от технологии изготовления и удельного сопротивления резистора. Таким образом, если изготавливать резистор сопротивлением 9 кОм на основе меза-резисторов, то площадь одного резистора увеличится в 34 раза, что приведет к увеличению площади инвертора в 5,2 раза. Общая площадь двенадцатиразрядного драйвера управления, изготовленного с использованием таких логических элементов, по предварительной оценке, составит 16,5 мм<sup>2</sup>, что больше, чем площадь самого большого найденного встроенного драйвера управления в 4,2 раза [25], и больше, чем кристалл СВЧ МФИС размером 4×4 мм<sup>2</sup>. Поэтому при отсутствии возможности изготовить резисторы с высоким удельным сопротивлением используются схемы, состоящие только из транзисторов.

Основываясь на проведённых экспериментах, инвертор был спроектирован на основе логической схемы БПТ типа [106]. В дальнейшем, при проектировании ВыхПН выяснилось, что для обеспечения на выходе напряжения для логического «0» равному минус 3 В источников питания минус 3,3 В недостаточно. Поэтому в источники питания в инверторе были заменены на  $\pm 5$  В. Качественного изменения характеристики между разными типами схем при этом не произошло.

### 2.3. Проектирование преобразователей напряжения

Как говорилось ранее, основная задача ВхПН — конвертировать управляющее напряжение ТТЛ в управляющее напряжение разработанных логических ячеек. Управляющее напряжение для спроектированного инвертора составляет 0 В и минус 2 В для логической «1» и для логического «0» соответственно. Существует множество вариантов изготовления схем ВхПН [38, 107]. Стандартная схема ВхПН показана на рисунке 2.11.

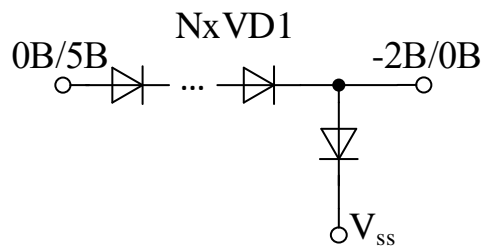


Рисунок 2.10 – Стандартная схема ВхПН

Однако такая схема обладает малым размахом между логическими уровнями, а также имеет высокую потребляемую мощность. Для уменьшения потребляемой мощности и достижения требуемого размаха между логическими уровнями на выходе, было принято решение использовать схему с использованием последовательных цепей диодов как показано на рисунке 2.11.

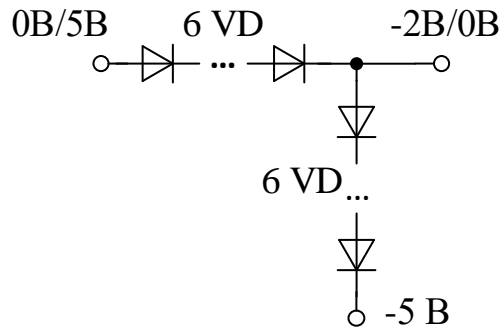


Рисунок 2.11 – Схема спроектированного ВхПН

Данная схема позволила получить требуемые значения напряжений для логических уровней на выходе и уменьшить потребляемую мощность.

Проектирование ВыхПН проводилось на базе стандартной логической схемы БПТ типа. Схема стандартной логической схемы БПТ типа показана на рисунке 2.12 [108].

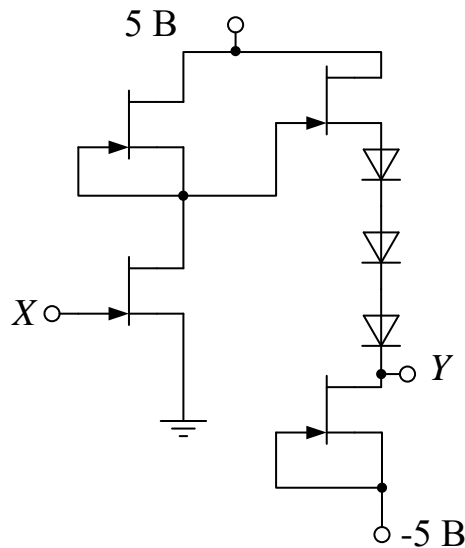


Рисунок 2.12 – Схема спроектированного ВыхПН

Номиналы были подобраны так, чтобы на выходе такой схемы, напряжения логических состояний соответствовали требованиям. Стандартная логическая схема БПТ типа позволяет достигнуть разницы между логическими уровнями вплоть до 5 В.

## 2.4. Экспериментальное исследование разработанного последовательно-параллельного драйвера управления

### 2.4.1. Методика измерения изготовленных структур

#### *Измерительные приборы*

Измерения изготовленных тестовых структур проводилось с использованием следующих приборов: генератор сигналов произвольной формы АКПП-3413/3, осциллограф Rohde&Schwarz RTM 2054 и параметрический анализатор Keysight B1500A. Генератор сигналов применялся для создания управляющего сигнала, осциллограф применялся для измерения подаваемых и снимаемых сигналов, а анализатор использовался для обеспечения питания в схемах. В качестве контактирующего устройства применялись: полуавтоматическая зондовая станция Summit, набор позиционеров и DC иглол. Соединение приборов выполнялось через коаксиальные кабели (разъемы BNC), также использовались тройники, переходники коаксиальный-триаксиальный тракт. Пример измерительной установки показан на рисунке 2.13.

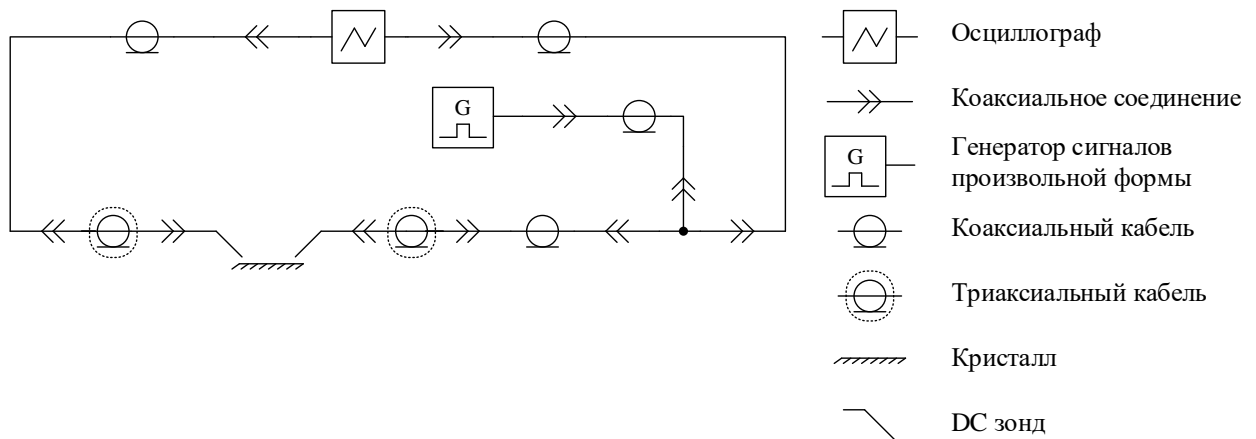


Рисунок 2.13 – Измерительная установка

Стоит отметить, что результаты предварительных измерений показали, что коаксиальные кабели вносят существенное влияние на характеристики тестируемых схем. Это связано с большой ёмкостью используемых кабелей (190 пФ). Данная ёмкость вносит существенное влияние и приводит к большим задержкам и длительным фронтам. Для сравнения характеристик к

моделируемым схемам была добавлена модель коаксиального кабеля в каждую точку снятия характеристик.

#### *Методика измерения передаточных характеристик*

Для измерения передаточных характеристик на вход подавался сигнал треугольной формы определённой частоты. Выходной сигнал обрабатывался осциллографом и записывался в файл формата .csv (*comma separated values*). После чего измерения были записаны таким образом, чтобы для определённого значения входного сигнала были записаны все значения выходного сигнала, которые были зафиксированы при измерении. Полученные значения были усреднены для каждой точки входного сигнала, получив таким образом усреднённую передаточную характеристику.

#### *Методика измерения характеристик во временной области*

Измерения характеристик во временной области можно разделить на два случая: когда на вход подаётся один сигнал (ВхПН и ВыхПН) и когда на вход подаётся больше одного сигнала (*D*-триггер, РС и разряд драйвера). В первом случае происходит простое преобразование уровней входного сигнала и всё, что необходимо, это подать импульсный сигнал с требуемыми значениями напряжения для логических символов. Во втором случае есть вероятность, что тестируемые схемы могут перейти в метастабильное состояние, поэтому сигнал *CLK* подаётся таким образом, чтобы изменение сигнала *D* происходило ровно на середине импульса сигнала *CLK*. Данное условие достигается путём добавления задержки сигнала *CLK* на четверть собственного периода.

#### 2.4.2. Изготовленные тестовые структуры

Для оценки работоспособности последовательно-параллельного драйвера управления были спроектированы и изготовлены ряд тестовых структур. Тестовые структуры изготовлены на 0,25 мкм GaAs рНЕМТ технологии АО «Светлана-Рост», г. Санкт-Петербург.

*Тестовые структуры резисторов* использовались для определения номиналов сопротивлений. В качестве тестов были заложены резисторы, используемые в логических элементах ИЛИ-НЕ и в блоке ВыхПН.

*Тестовые структуры инвертора* использовались для измерения передаточной характеристики, которая показывает значения напряжений для логических символов и напряжение переключения между ними.

*Тестовые структуры логического элемента ИЛИ-НЕ* использовались для проверки передаточных характеристик в зависимости от того, на какой вход подаётся управляющее напряжение.

*Тестовые структуры кольцевого генератора* использовалась для оценки быстродействия схем инверторов.

*Тестовые структуры ВхПН* использовались для проверки корректности преобразования уровней напряжения TTL-логики в уровни напряжения GaAs-логики.

*Тестовые структуры ВыхПН* использовались для проверки корректности преобразования уровней напряжения GaAs-логики в уровни напряжения, необходимыми для управления ключевыми транзисторами на входе секций устройств с переменными состояниями.

*Тестовые структуры D-триггеров* использовались для проверки корректности передачи данных с информационного входа, на комплементарные выходы триггера с сохранением уровней напряжений для логических символов.

*Тестовые структуры РС* использовались для проверки передачи данных с информационного сигнала *D* между разрядами драйвера. Тестовая структура состояла из 4 последовательно подключенных *D*-триггеров.

*Тестовые структуры разряда драйвера управления* использовались для проверки корректности работы всех отдельных блоков в составе сложного устройства.

### 2.4.3. Результаты измерений изготовленных тестовых структур

Резисторы на тестовой структуре были расположены между двумя контактными площадками. Сопротивление резисторов рассчитывалось на основе измеренных ВАХ резисторов. По результатам измерений было установлено, что удельное сопротивление используемых в схеме резисторов оказалось меньше того, которое использовалось при моделировании, на 30%. Основываясь на данных результатах, были пересчитаны и изменены номиналы резисторов во всех моделируемых схемах.

Измерения передаточной характеристики инвертора были проведены по методике, описанной в разделе 2.4.10 для двух частот управляющего сигнала 0,5 кГц и 1 кГц. Микрофотография тестовой структуры для проведения измерений характеристик инвертора показана на рисунке 2.14

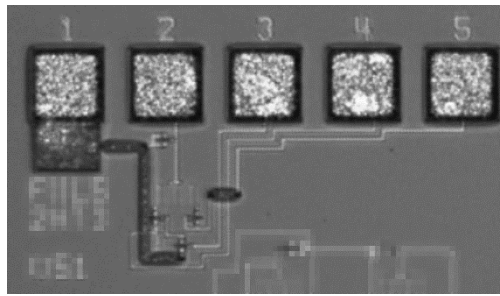


Рисунок 2.14 – Микрофотография тестовой структур инвертора

Сравнение результатов моделирования и обработанных измерений показаны на рисунке 2.15.



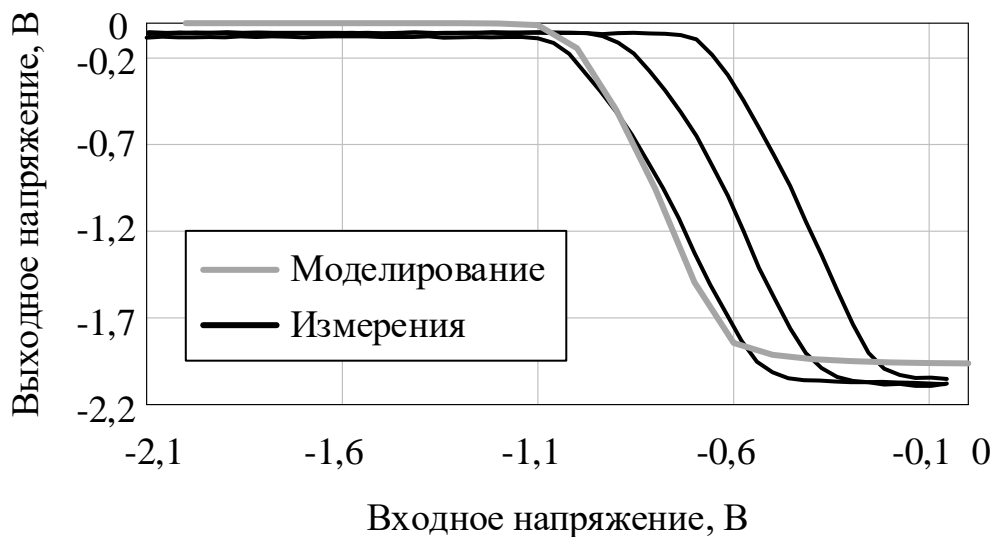


Рисунок 2.15 – Сравнение результатов моделирования и обработанных измеренных данных инвертора

Из рисунка видно, что измерения передаточной характеристики на частоте 0,5 кГц достаточно точно повторяют результаты моделирования. Важно понимать, что помимо того, что измерения были проведены на разной частоте входного сигнала (0,5 кГц, 1 кГц), так и на разных чипах (чипы на графике расположены слева на право: 1, 2 и 3). Сравнивая измерения на частоте в 1 кГц, можно утверждать, что передаточная характеристика сильно разнится от чипа к чипу. Это может быть связано с уходом напряжения отсечки транзисторов на пластине. Данное заключение было сделано с учетом того, что при моделировании с разными номиналами резисторов, наблюдалась одинаковая передаточная характеристика.

Измерения передаточной характеристики элемента ИЛИ-НЕ были проведены по методике, описанной в разделе 2.4.1 для частоты входного сигнала 1 кГц. Сравнение результатов моделирования и обработанных измерений показаны на рисунке 2.16.

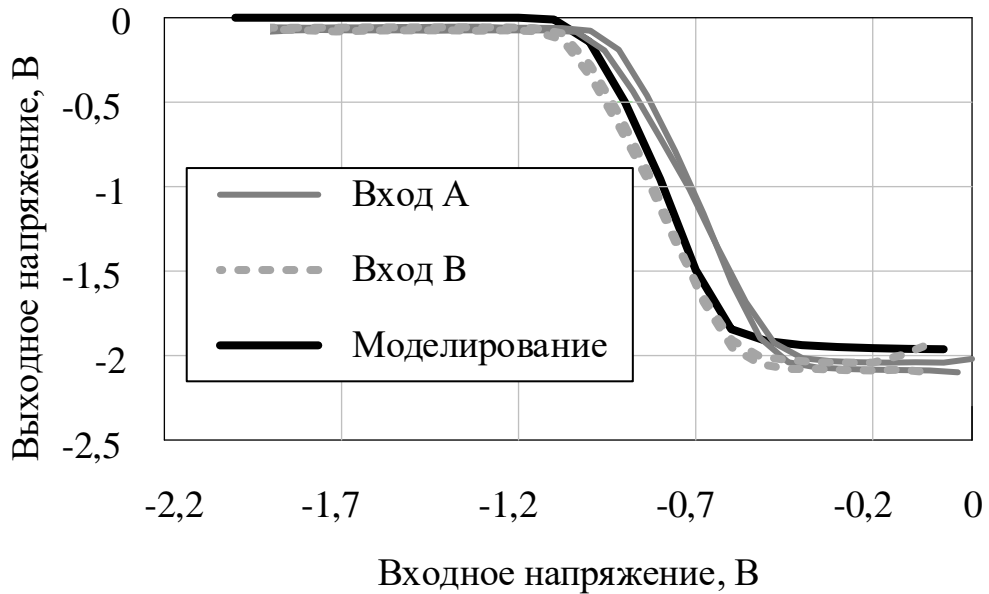


Рисунок 2.16 – Сравнение результатов моделирования и измерений передаточной характеристики элемента ИЛИ-НЕ

Так как у элемента ИЛИ-НЕ имеется два управляющих входа, то было принято решение измерить передаточную характеристику элемента ИЛИ-НЕ для каждого из входов. Как мы можем наблюдать на рисунке 2.16, передаточная характеристика немного отличается друг от друга в области переключения. Основной причиной такого различия является разброс напряжения отсечки транзисторов.

Измерения характеристик ВхПН были проведены по методике, описанной в подразделе 2.4.1 для частоты входного сигнала 1 кГц. Также стоит отметить, что дополнительно была измерена выходная характеристика инвертора, нагруженного на ВхПН. Микрофотография тестовой структуры для проведения измерений характеристик ВхПН показана на рисунке 2.17

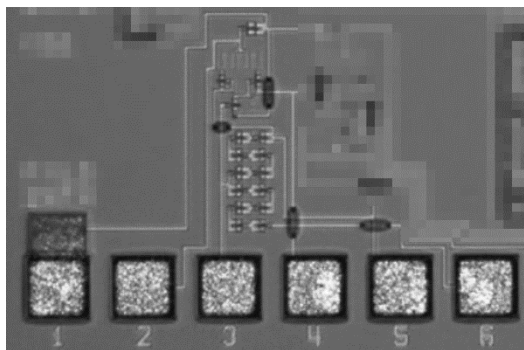


Рисунок 2.17 – Микрофотография тестовой структур ВхПН

Сравнение результатов моделирования и обработанных результатов измерений показаны на рисунке 2.18.

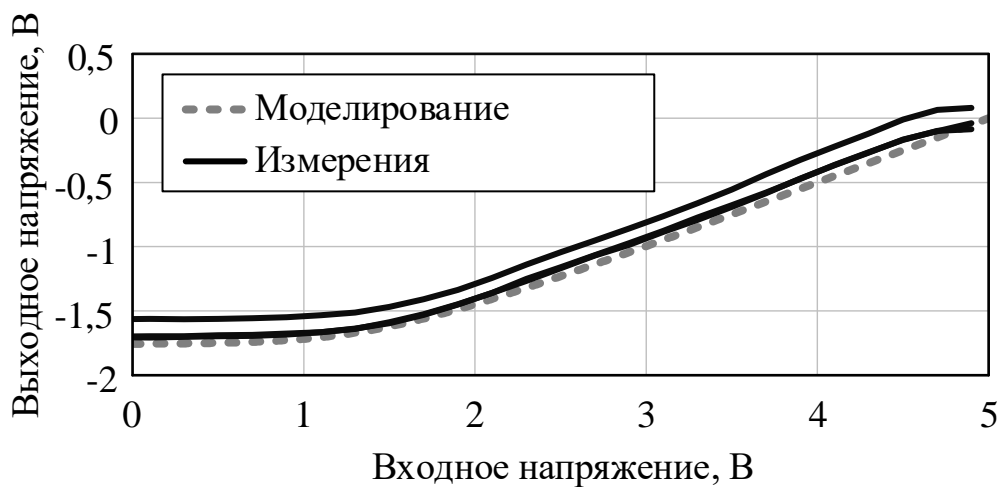


Рисунок 2.18 – Сравнение результатов моделирования и измерений передаточной характеристики ВхПН

Из графика видно, что результаты усреднённых значений практически совпадают с результатами моделирования.

Измерения во временной области были проведены по методике, описанной в подразделе 2.4.1 для частоты входного сигнала 1 кГц. Сравнение результатов моделирования и измерений характеристик во временной области показаны на рисунке 2.19.

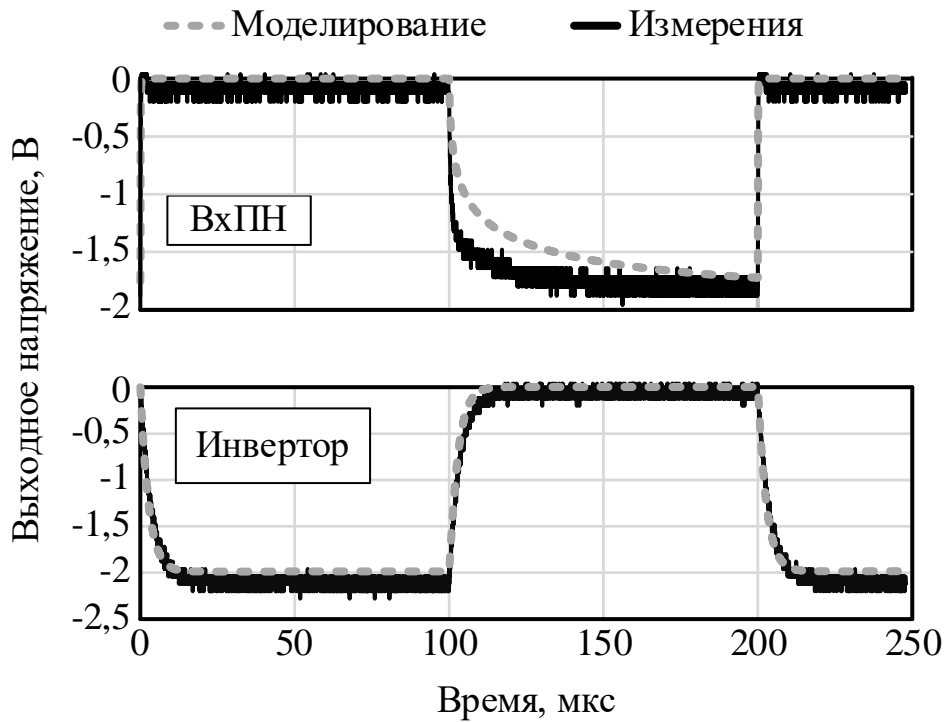


Рисунок 2.19 – Сравнение результатов моделирования и измерений во временной области ВхПН

Измерения передаточной характеристики ВыхПН были проведены по методике, описанной в подразделе 2.4.1 для частоты входного сигнала 1 кГц. Сравнение результатов моделирования и обработанных измерений показаны на рисунке 2.20.

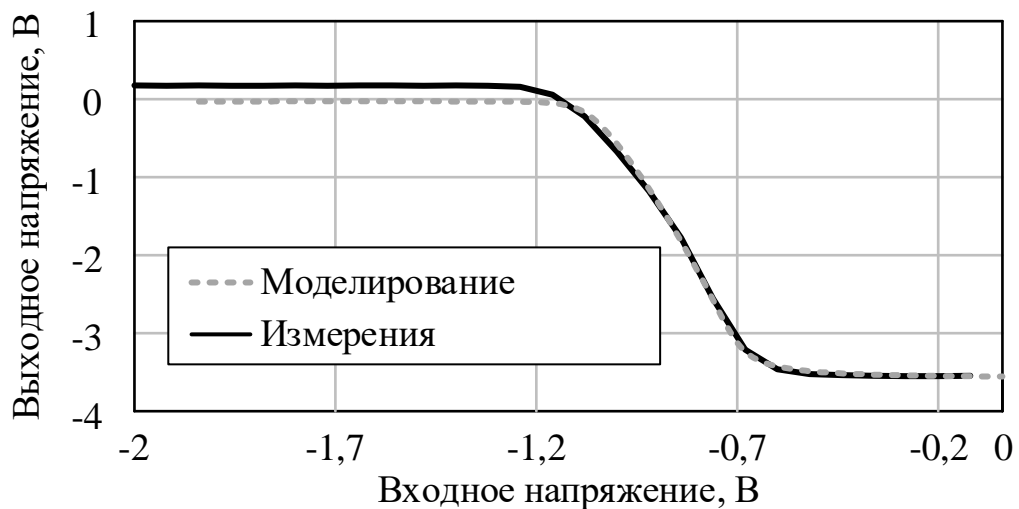


Рисунок 2.20 – Сравнение результатов моделирования и измерений передаточной характеристики ВыхПН

Из графика видно, что расхождение значения логической единицы получилось существенное (0,32 В). Хотя значение логического «0» ушло

менее чем на 0,1 В. Также, видно, что усреднённое значение характеристики практически совпадает с результатами моделирования.

Измерения характеристик ВыхПН во временной области были проведены по методике, описанной в подразделе 2.4.1. Сравнение результатов моделирования и измерений характеристик во временной области показаны на рисунке 2.21.

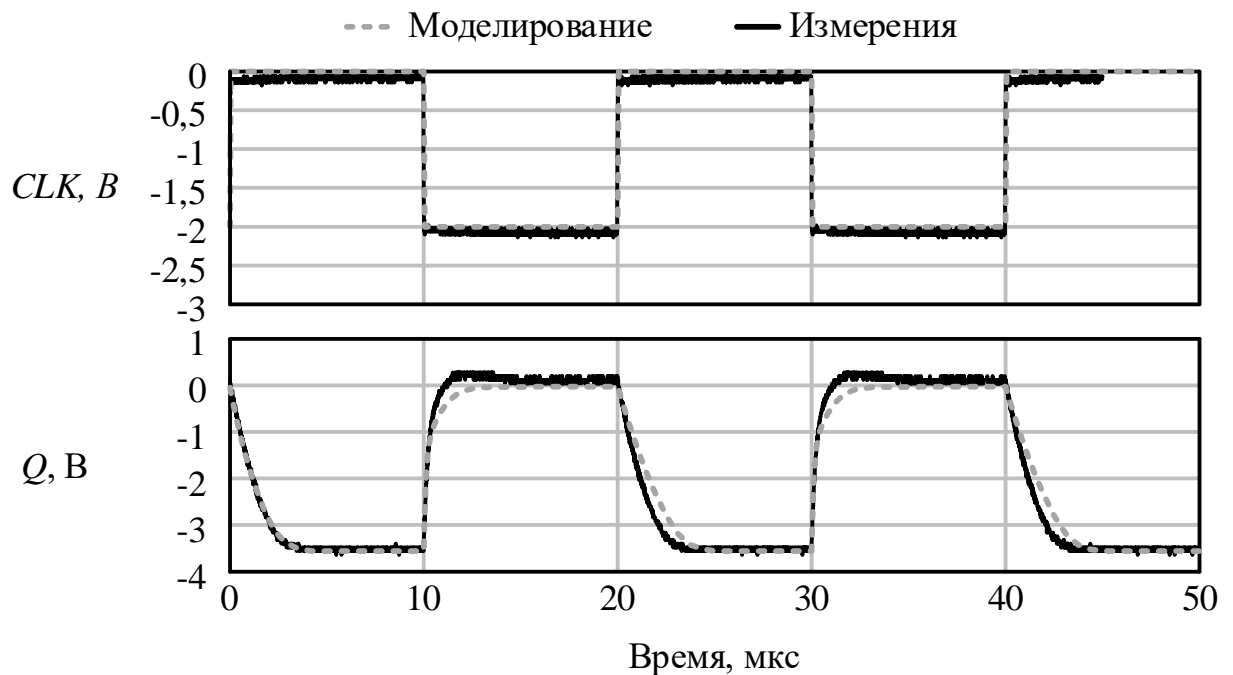


Рисунок 2.21 – Сравнение результатов моделирования и измерения выходной характеристики ВыхПН во временной области

Измерения во временной области, также имеют ранее описанные расхождения для значений логических символов, но стоит отметить, что фронты сигналов у измерений и моделирования совпадают.

Измерения характеристик  $D$ -триггера были проведены по методике, описанной в подразделе 2.4.1 для двух частот сигнала  $CLK$  4 кГц и 40 кГц. Микрофотография тестовой структуры для проведения измерений характеристик регистра сдвига показана на рисунке 2.22.

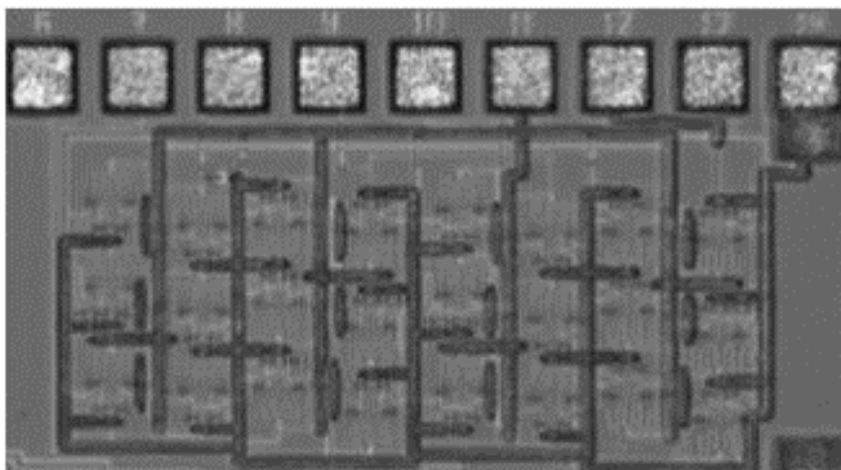


Рисунок 2.22 – Микрофотография тестовой структуры регистра сдвига

Сравнение результатов моделирования и измерений для двух частот сигнала  $CLK$  представлены на рисунках 2.23-2.24.

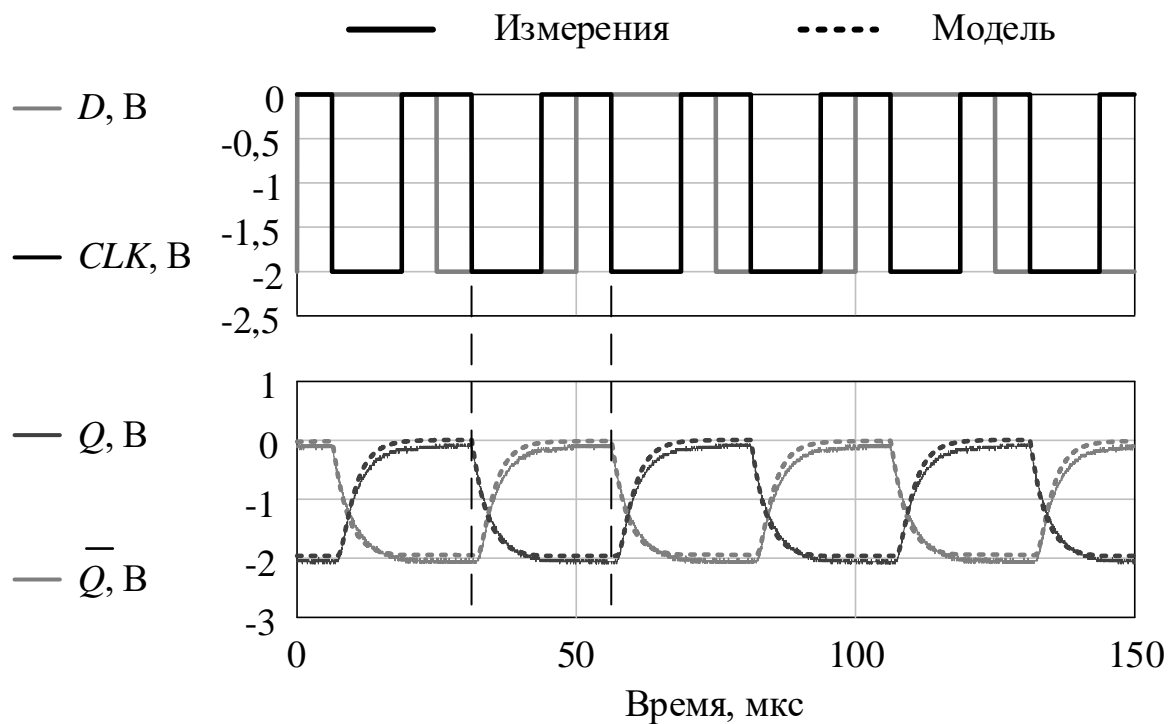


Рисунок 2.23 – Сравнение результатов моделирования и измерений характеристик  $D$ -триггера, частота  $CLK = 40$  кГц

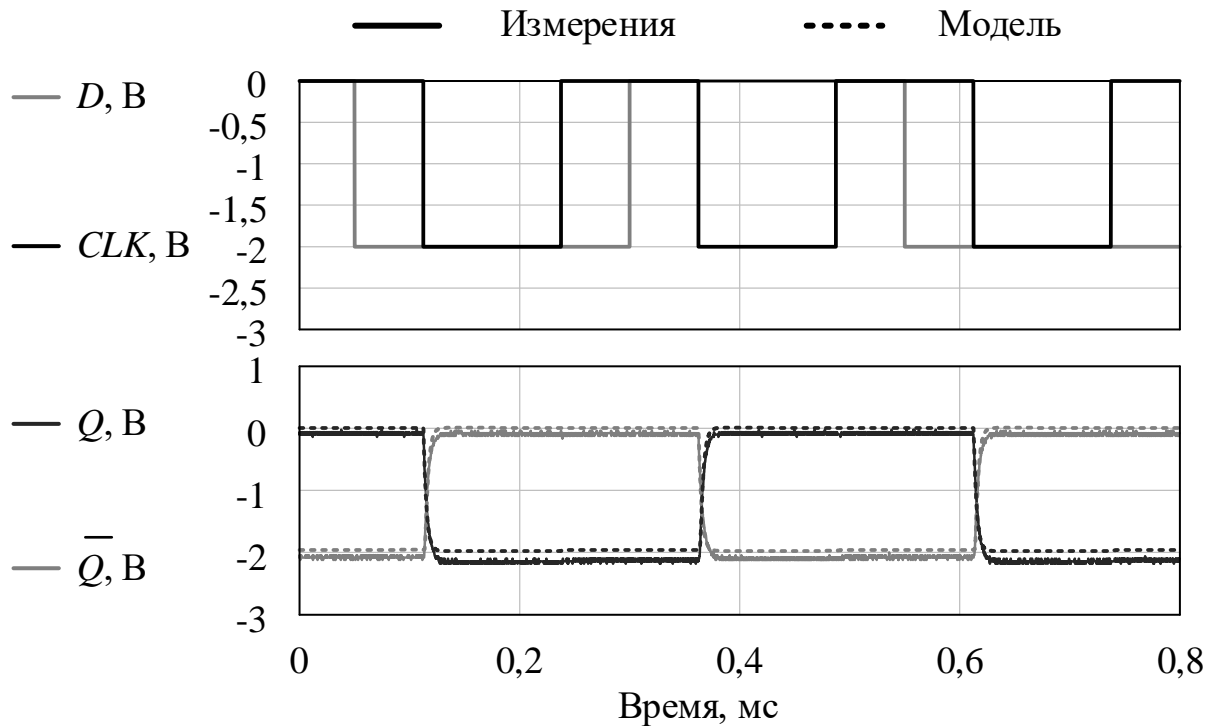


Рисунок 2.24 – Сравнение результатов моделирования и измерений  $D$ -триггера частота  $CLK = 4$  кГц

Сравнение показало, что фронты сигналов сходятся для обоих случаев. Стоит отметить, что прямой и инверсный выходы  $D$ -триггера, как и требуется, являются парафазными и обеспечивают уровни логических символов в пределах запаса помехоустойчивости разработанных схем.

Измерения характеристик РС были проведены при частоте сигнала  $CLK = 32$  кГц. Сравнение результатов моделирования и измерений показано на рисунке 2.25.

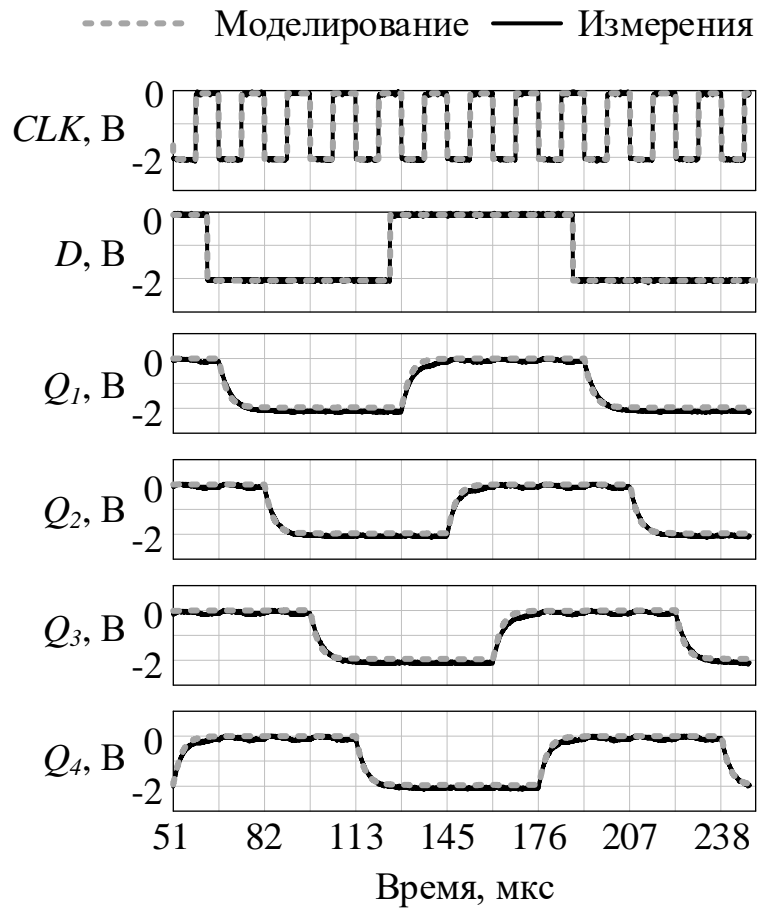


Рисунок 2.25 – Сравнение результатов моделирования и измерения РС

Из графиков видно, что измеренные и смоделированные значения напряжений для логических символов различаются на незначительную величину. Также подтверждается корректная обработка информационного сигнала. Всё перечисленное позволяет говорить о корректной работе изготовленного устройства и возможности масштабирования всего драйвера.

Измерения характеристик разряда драйвера проводились по методике, описанной в подразделе 2.4.1. Микрофотография тестовой структуры для проведения измерений характеристик разряда драйвера представлена на рисунке 2.26.



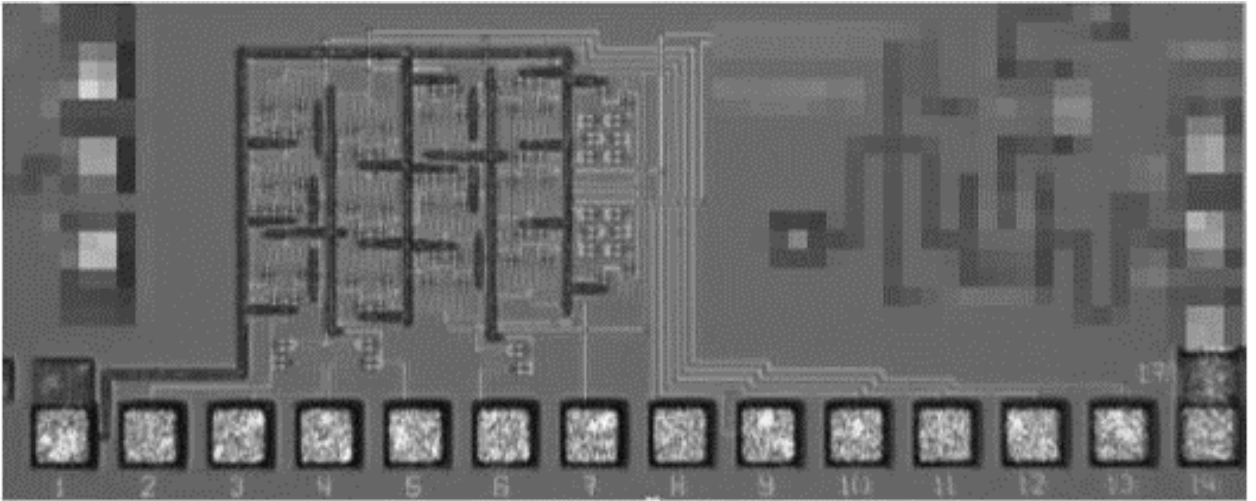


Рисунок 2.26 – Микрофотография тестовой структуры разряда драйвера

Сравнение результатов моделирования и измерений представлены на рисунке 2.27.

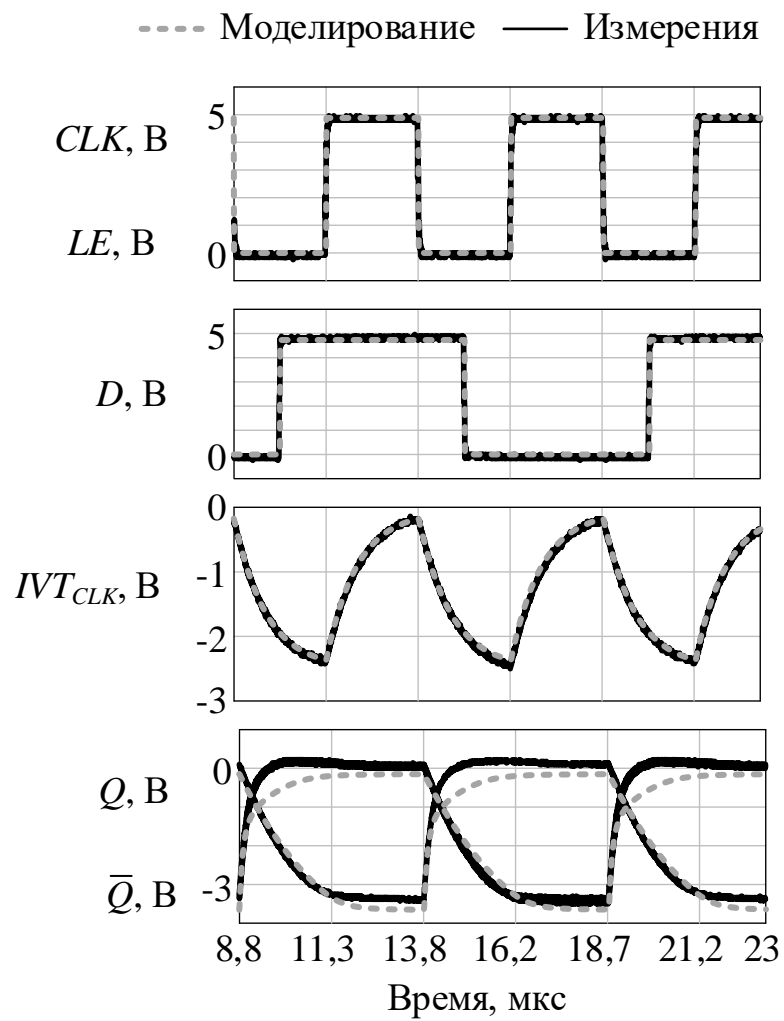


Рисунок 2.27 – Сравнение результатов моделирования и измерений разряда драйвера

Как видно из графиков, напряжение логических уровней на выходе всех синтезируемых блоков совпали с моделированием. Также видно, что информационный сигнал обрабатывается корректно и на выходы бита приходят корректные логические уровни, что подтверждает работоспособность бита.

Сравнение результатов моделирования и измерений тока потребления для всех тестовых структур приведено в таблице 2.3.

Таблица 2.3 – Значения тока потребления для всех тестовых структур

	<i>I<sub>dd</sub></i>		<i>I<sub>ss</sub></i>		<i>I<sub>dd</sub> + I<sub>ss</sub></i>	
	Моделирование	Измерения	Моделирование	Измерения	Моделирование	Измерения
ВхПН	0,28	0,7	0,24	0,85	0,52	1,55
Инвертор	0,27	0,38	0,1	0,147	0,37	0,527
D-триггер	1,72	2,5	0,6	0,85	2,32	3,4
РС	7,5	–	2,3	–	9,8	–
ВыхПН	0,43	0,6	0,27	0,4	0,7	1
Разряд драйвера	4,9	6,1	2,9	3,8	7,8	9,9

Сравнение показало, что все измеренные структуры обладают большим потреблением, чем было получено при проектировании. Это связано с уменьшением удельного сопротивления резисторов. Важно отметить, что на момент изготовления технологический процесс находился на стадии отладки, и полученные отклонения удельного сопротивления и напряжения отсечки находятся в допустимых пределах для опытной технологии. Однако потребление изготовленных схем, всё еще меньше ближайшего аналога, найденного в литературе [27].

## 2.5. Выводы по разделу

1. Предложенное схемотехническое решение для логических схем БПТ типа позволило уменьшить потребление логических устройств на основе данного типа логических схем.

2. Уход значения удельного сопротивления резисторов увеличил общее потребление разряда драйвера на 26%, однако на работу схемы это не повлияло, что характеризует устойчивость схемы к технологическому разбросу.

3. Подтверждена работоспособность изготовленного разряда последовательно-параллельного на частотах тактового сигнала до 200 кГц.

4. Спроектирован и изготовлен четырехразрядный регистр сдвига, работоспособность которого проверена на частотах тактового сигнала до 64 кГц.

### **3. РАЗРАБОТКА МЕТОДИКИ СИНТЕЗА ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОГО ДРАЙВЕРА УПРАВЛЕНИЯ НА ОСНОВЕ GaAs рНЕМТ ТЕХНОЛОГИИ**

#### **3.1. Морфологический анализ структуры последовательно-параллельного драйвера управления**

Морфологический анализ позволяет определить пространство поиска, то есть множество всех возможных вариантов синтезируемой схемы. Структура синтезируемого драйвера управления представлена на рисунке 2.1 и подробно описана в подразделе 2.1. Как говорилось в подразделе 2.2. электрические характеристики элемента ИЛИ-НЕ и инвертора идентичны. Таким образом, задача синтеза драйвера управления может быть сведена к синтезу трех блоков: инвертора, ВхПН и ВыхПН. После синтеза этих блоков, последовательно-параллельный драйвер произвольной разрядности можно получить по простому детерминированному алгоритму.

Базовыми элементами логических схем выбранного типа являются транзисторы, резисторы и диоды. В данной работе синтез и изготовление последовательно-параллельного драйвера проводились на базе 0,25 мкм GaAs рНЕМТ технологии с возможностью изготавливать исключительно НО транзисторы. Важной особенностью используемой технологии является возможность изготовления тонких резистивных пленок с высоким удельным сопротивлением, что позволяет изготавливать высокоомные резисторы компактных размеров. Граничные значения параметров элементов определяются технологическими возможностями и были взяты из библиотеки элементов. Число вариантов элементов выбрано так, чтобы шаг изменения топологии был равен 1 мкм. Источники питания в синтезируемых блоках представлены тремя значениями, которые используются в большинстве найденных в литературе последовательно-параллельных драйверов. Все возможные состояния элементов и варианты источников питания представлены в таблице 3.1.

Таблица 3.1 – Диапазон значений элементов

Варьируемый параметр	Диапазон значений	Количество вариантов
Номинал резистора, кОм	5.1-51	136
Ширина диода, мкм	7-35	29
Ширина затвора транзистора, мкм	8-35	28
Напряжение источника питания, В	[3; 3,3; 5]	3

За основу инвертора была выбрана схема БПТ типа [32, 109]. Данный тип схем имеет самое высокое быстродействие и самую низкую площадь среди логических схем на основе исключительно НО транзисторов [39]. В литературе встречаются также варианты данной схемы, позволяющие уменьшить потребляемую мощность за счет использования резистора вместо нагрузочного транзистора [1] и резисторов с высоким удельным сопротивлением вместо диодов в каскаде понижения уровня [27]. Все возможные варианты структуры инвертора, которые показаны на рисунке 3.1.

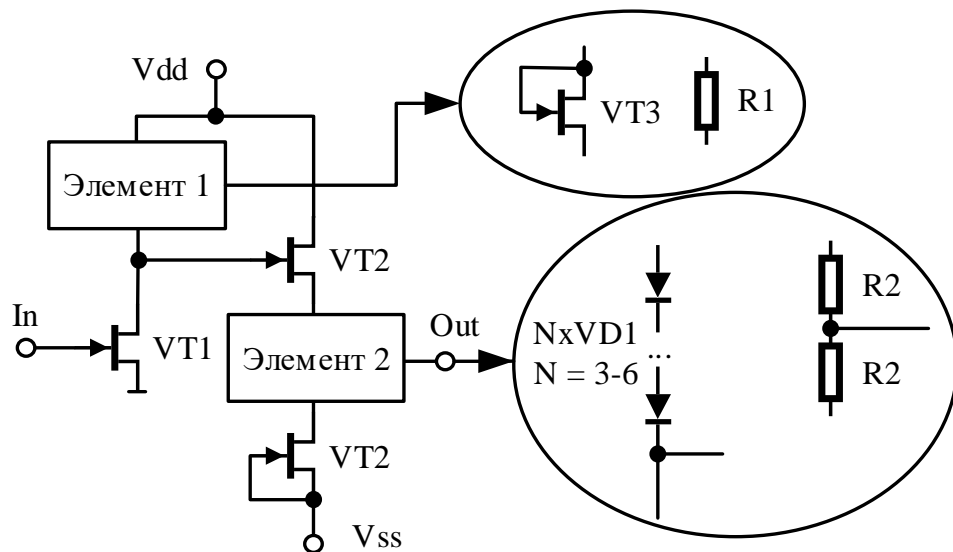


Рисунок 3.1 – Варианты схемы инвертора

Аналогично был проведен литературный обзор по возможным вариантам ВхПН и ВыхПН [107]. Результаты морфологического анализа показали, что существует 97,2 миллиона вариантов для структуры инвертора, 52,1 миллиона вариантов для структуры ВхПН и 148,7 миллиона вариантов для структуры ВыхПН. Такое количество возможных вариантов не позволяет решить задачу путём прямого перебора.

## 3.2. Разработка методики синтеза последовательно-параллельного драйвера управления

### 3.2.1. Разработка генетического алгоритма

В данной работе было принято использовать подход на основе ГА. Для оценки получаемых решений используется функция приспособленности (ФП), которая показывается, насколько полученное решение близко к целевому по набору параметров. Схема реализованного ГА показана на рисунке 3.2.

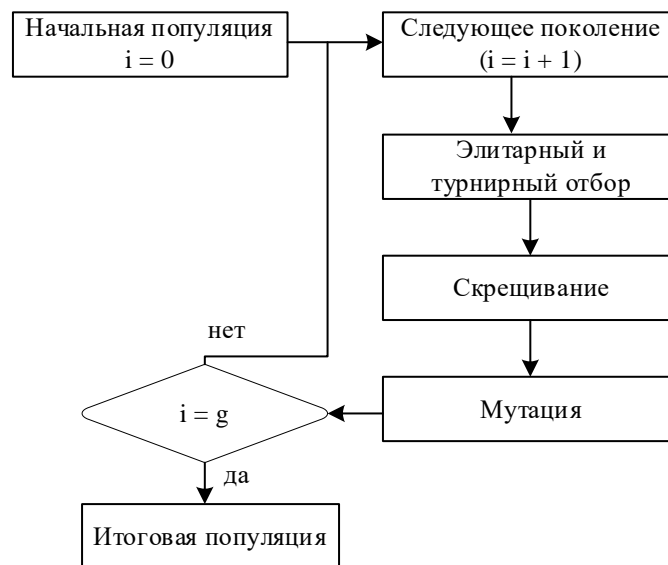


Рисунок 3.2 – Блок-схема генетического алгоритма

Стоит уточнить, что описанные в таблице 3.1 значения элементов выступают в качестве генов в ГА. Совокупность таких генов формируют проверяемое решение или особь.

На первом шаге синтеза происходит заполнение начальной популяции особями со случайными значениями генов. После заполнения начальной популяции происходит процесс отбора особей для скрещивания, для этого использовались два наиболее популярных оператора отбора: элитарный и турнирный. Элитарный отбор означает, что в следующее поколение передается некоторое число особей с большей приспособленностью, их доля определяется параметром  $k$ . Между остальными особями проводится турнирный отбор, при котором сравниваются две случайные особи и та особь, которая имеет большую приспособленность, добавляется к уже отобранным особям. По результатам турнирного отбора формируется множество

родителей для применения оператора скрещивания. Оператор скрещивания случайным образом выбираются две особи и проводит обмен генами, выбранными также случайным образом. В скрещивании каждая особь может участвовать лишь один раз. С некоторой вероятностью в каждой особи возможна мутация, при которой в случайно выбранных генах значение изменяется на случайную величину. После процесса мутации происходит отбор  $n$  особей с лучшей приспособленностью, которые формируют следующее поколение. Все параметры ГА были определены экспериментально и представлены в таблице 3.2.

Таблица 3.2 – Параметры ГА

Параметр	Значение
Размер популяции, $n$	300
Доля особей при элитарном отборе, $k$	0.01
Вероятность скрещивания, $c$ %	30
Вероятность мутации, $m$ %	10
Количество поколений, $g$	30

Стоит отметить, что остановка ГА происходит при достижении заданного количества поколений. Экспериментально установлено, что 30 поколений достаточно, чтобы найти решение.

Для оценки решения используется ФП на основе характеристик на постоянном токе и во временной области, полученных путём моделирования в коммерческой САПР через интерфейс программирования приложения. На основе смоделированных характеристик рассчитываются критерии для синтеза. Некоторые критерии рассчитываются для каждого блока (площадь, потребление мощности, уровни логических символов), а некоторые только в определённых блоках (разница напряжения между логическими символами, запас помехоустойчивости и быстродействие для инвертора, точка переключения между логическими символами для ВхПН). Штрафная функция определяет влияние отклонения конкретной характеристики от целевого значения на ФП. ФП объединяет значения штрафов разных критериев в одно значение.

Работа ГА идентична для каждой из синтезируемых схем, однако различаются количество генов, способ кодирования хромосом и набор критериев для расчета ФП.

### 3.2.2. Реализация алгоритма синтеза

Разработанная методика была реализована на языке программирования высокого уровня Python. Выбор языка обусловлен простотой реализации и большим числом библиотек, в том числе для реализации ГА.

Рассмотрим библиотеки для реализации ГА. Программная библиотека *Geneticalgorithm* позволяет кодировать параметры как бинарными, так и вещественными числами, имеет набор методов, реализующих операторы мутации, отбора и скрещивания. В библиотеке предоставлено три оператора отбора, в том числе турнирный, единственный оператор мутации, в котором можно выбрать только вероятность мутации, и несколько операторов скрещивания, в которых можно настроить только количество точек деления особи и вероятность скрещивания. Предоставляемый библиотекой возможности позволяют решать простейшие задачи оптимизации.

Программная библиотека *jMetalPy* ориентирована на решение задач связанными с работой с большими данными. От выбранного шаблона зависит последовательность и набор операторов, применяемых для решения поставленной задачи. Это ограничивает гибкость использования ГА и не позволяет настроить его для решения задачи синтеза.

Программная библиотека *Dear* содержит 32 различных оператора, из которых 14 операторов скрещивания, 16 операторов мутации и 6 операторов отбора. Каждый из операторов, доступных к использованию, может быть настроен под любую задачу. В библиотеке также реализована возможность для создания собственных операторов. Также при создании особи для каждого гена можно указывать собственный тип данных, но отсутствует возможность устанавливать различные границы для генов при использовании вещественного типа данных.



Основываясь на вышеописанном, было принято решение для реализации ГА использовать программную библиотеку *Dear*. Стоит отметить, что из-за того, что в выбранной программной библиотеке нет возможности задавать различные границы для отдельных генов в особях было реализовано собственное кодирование параметров. Каждый ген кодируется числом в диапазоне от 0 до 136. Данный диапазон был выбран как максимальное количество вариантов значений для параметров схемы. Кодированное значение параметра *Value* рассчитывается как:

$$Value = \left\lfloor \frac{(count) \cdot X}{137} + min, \right. \quad (3.1)$$

где  $X$  – текущее значение гена;

$count$  – количество вариантов значений параметра;

$min$  – нижняя граница диапазона значений параметра.

Диапазоны изменения параметров элементов схемы были представлены в таблице 3.1.

Для расчета проверяемых характеристик используется коммерческая САПР, в которой проводится моделирование исследуемых логических схем. Связь между САПР и программу синтеза осуществляется через программный интерфейс приложения, который позволяет управлять САПР через программный код. Смоделированные характеристики обрабатываются программой синтеза и далее используются в процессе расчета функции приспособленности (ФП).

### 3.2.3. Первый вариант функции приспособленности

Первый вариант ФП  $F$  рассчитывался по формуле среднеквадратичной ошибки:

$$F = \sqrt{\frac{\sum_{i=1}^n (f_i(x_i))^2}{n}}, \quad (3.2)$$

$$f_i(x_i) = x_i - x_i^{\text{цель}}, \quad (3.3)$$

где  $x_i, x_i^{\text{цель}}$  – текущее и целевое значение для  $i$ -го критерия поиска;

$n$  – количество критериев поиска.

Расчет характеристик проверяемого решения занимает от 3 до 5 секунд. В среднем 70% этого времени занимает расчет во временной области. При работе ГА иногда появляются одинаковые особи, из-за чего происходит повторный расчет уже известной величины функции приспособленности. Поэтому, для уменьшения времени синтеза был добавлен поиск одинаковых особей и назначение им одинакового значения ФП.

### 3.2.4. Второй вариант функции приспособленности

Чтобы получать более сбалансированные по параметрам решения, ФП была модифицирована следующим образом:

1. добавлена оценка занимаемой площади как критерий поиска;
2. добавлено быстродействие инвертора как критерий поиска;
3. использована ступенчатая штрафная функция;
4. ФП изменена на среднее арифметическое.

Чтобы учесть площадь при синтезе, необходим способ ее быстрой оценки. Простая сумма площадей составных элементов будет не точна, так как при размещении и трассировке топологии необходимо соблюдать проектные нормы. Проанализировав ранее разработанные схемы, были определены следующие соотношения. Резисторы с высоким сопротивлением изготавливаются в виде меандров для лучшей компоновки, его площадь рассчитывается как площадь «прямого» резистора, умноженная на 1,7. Площадь блоков больше суммы площади их элементов также в 1,7 раза, а площадь драйвера в 1,7 раз больше, чем сумма площадей блоков. Данные соотношения эмпирические и применимы только для рассматриваемой технологии.

Для расчета быстродействия инвертора использовалась схема кольцевого генератора. Если характеристики на постоянном токе или по занимаемой площади были слишком далеки от целевых значений, то к функции приспособленности добавлялся штраф без запуска моделирования во временной области. Это позволило уменьшить общее время синтеза.

Для нормировки критериев использовалась линейная функция, где нулевое значение ошибки соответствует целевому значению критерия, а единичное значение — максимально допустимому значению критерия. Значения за границами диапазона приводят к неработоспособным решениям, поэтому превышение значения граничных условий добавляет штраф  $\lambda$  к ошибке (подобный подход используется в работе [110]).

Функция потерь рассчитывается по выражению (3), графически она представлена на рисунке 3.3:

$$f_i(x_i) = \begin{cases} \left( \frac{1}{x_i^{\text{ВГ}} - x_i^{\text{ЦЕЛЬ}}} \right) * |x_i - x_i^{\text{ЦЕЛЬ}}|, & x_i^{\text{НГ}} < x_i < x_i^{\text{ВГ}} \\ \left( \frac{1}{x_i^{\text{НГ}} - x_i^{\text{ЦЕЛЬ}}} \right) * |x_i - x_i^{\text{ЦЕЛЬ}}| + \lambda, & x_i^{\text{НГ}} > x_i \text{ || } x_i > x_i^{\text{ВГ}} \end{cases} \quad (3.4)$$

где  $x_i^{\text{ВГ}}$ ,  $x_i^{\text{НГ}}$  – верхнее и нижнее значение границы диапазона  $i$ -го критерия поиска соответственно.

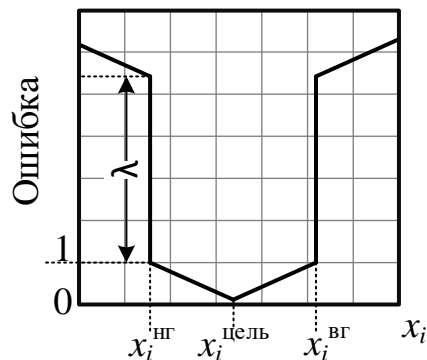


Рисунок 3.3 – График зависимости функции потерь

Функция агрегации ошибки была заменена на функцию среднего арифметического:

$$F = \frac{\sum_{i=1}^n (f_i(x_i))}{n} \quad (3.5)$$

Применение подобных функций встречается в задачах машинного обучения [96], [97]. Эксперименты показали лучшую сходимость алгоритма при использовании новой функции агрегации.

### 3.3. Сравнение спроектированного и синтезированных драйверов управления

В данном разделе будет представлено сравнение результатов моделирования спроектированного и синтезированных решений. Стоит отметить, что моделирование решений проводилось без учета ухода сопротивлений и без подстановки модели кабеля в места снятия характеристик. Также, перед сравнением результатов моделирования введём термины для упрощения описания полученных результатов (таблица 3.3).

Таблица 3.3 – Введённые термины

Термин	Значение
Решение 1	Спроектированное решение
Решение 2	Синтезированное решение с использованием первого варианта функции приспособленности
Решение 3	Синтезированное решение с использованием второго варианта функции приспособленности

Сравнение результатов моделирования передаточных характеристик, а также ток потребления инверторов представлены на рисунке 3.4.

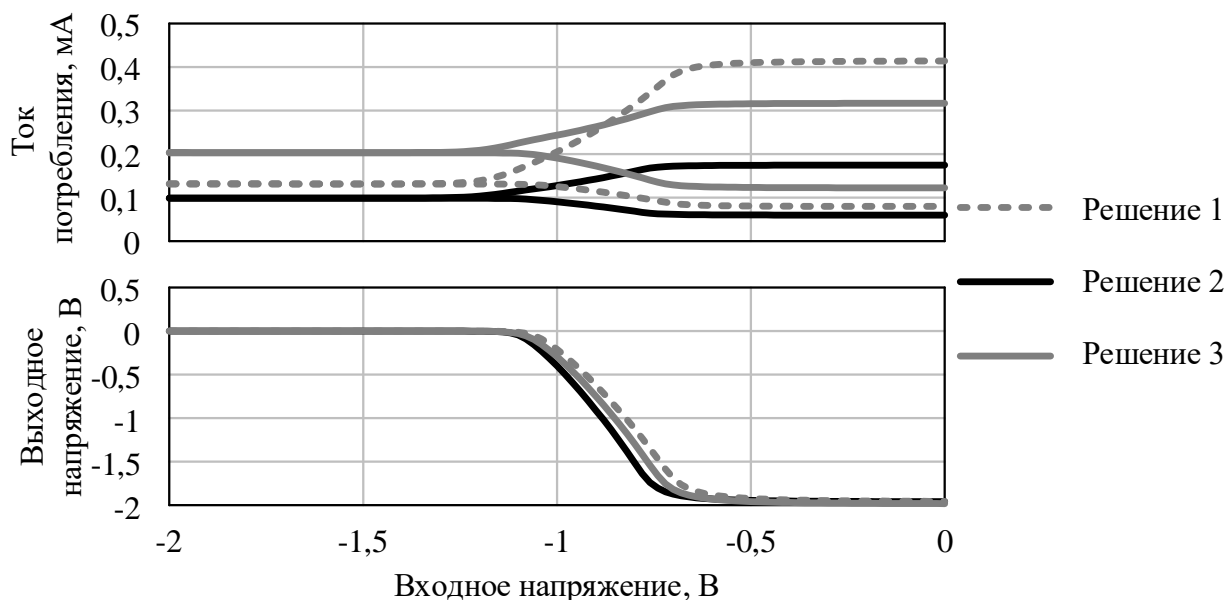


Рисунок 3.4 – Сравнение результатов моделирования характеристик инвертора на постоянном токе

Анализируя полученные результаты, можно отметить, что решение 1 проигрывает по потреблению у решений 2 и 3. Но в тоже время решение 3 выигрывает по быстродействию у решений 1 и 2, что можно увидеть из

сравнения результатов моделирования характеристик кольцевого генератора (рисунок 3.5).

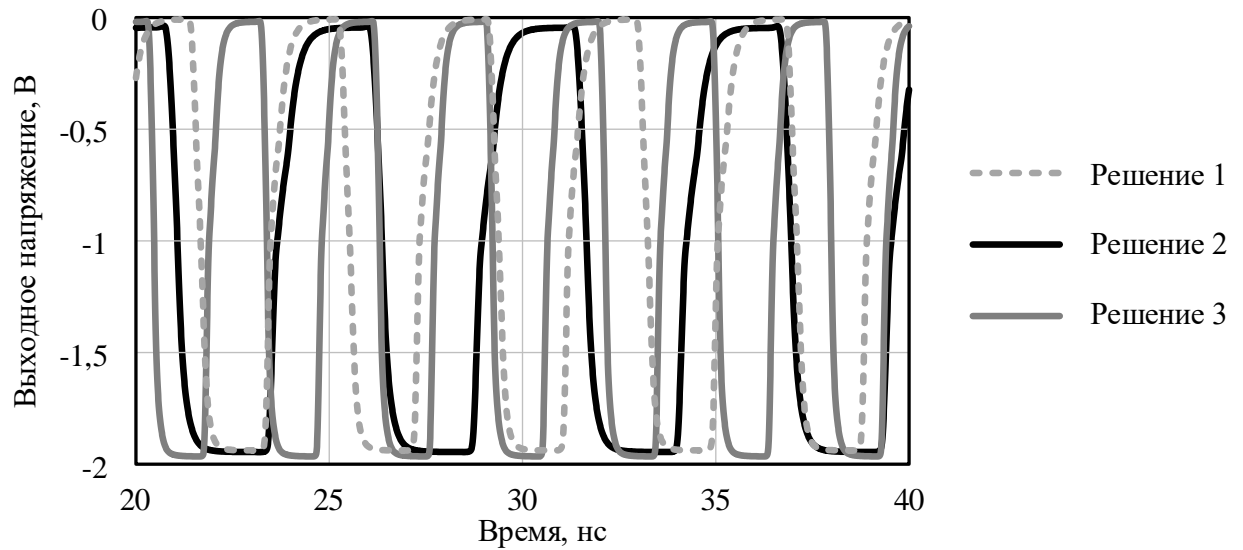


Рисунок 3.5 – Сравнение результатов моделирования характеристик кольцевого генератора

На графике видно, что у решения 3 наименьший период колебаний, что соответствует наибольшему быстродействию схемы.

Сравнение результатов моделирования характеристик ВхПН на постоянном токе и во временной области представлены на рисунках 3.6-3.7.

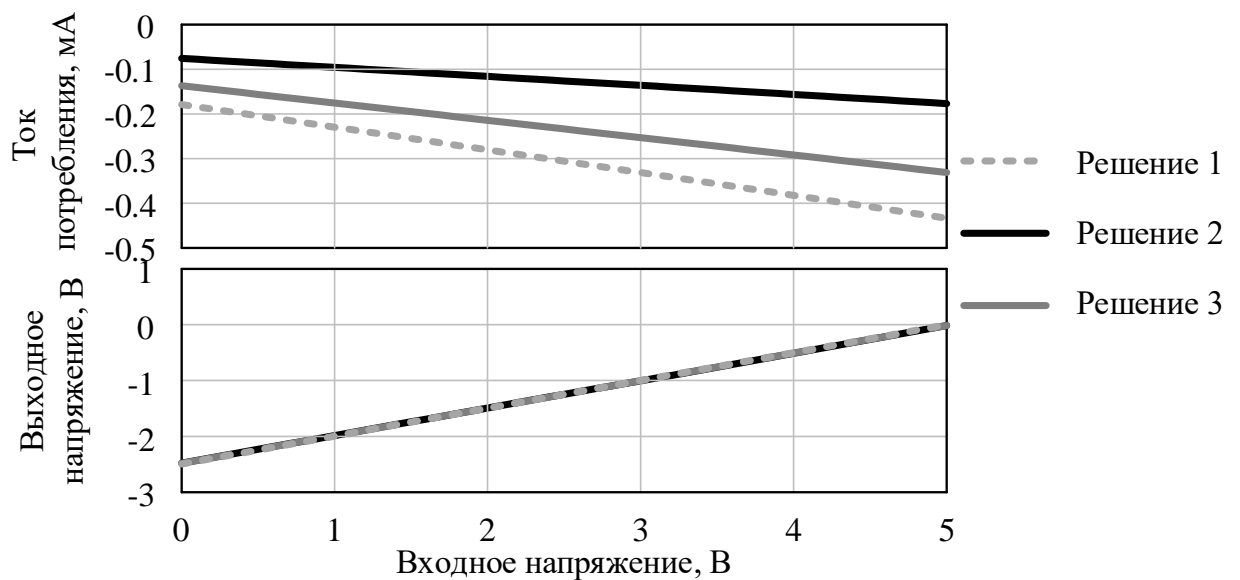


Рисунок 3.6 – Сравнение результатов моделирования характеристик ВхПН на постоянном токе

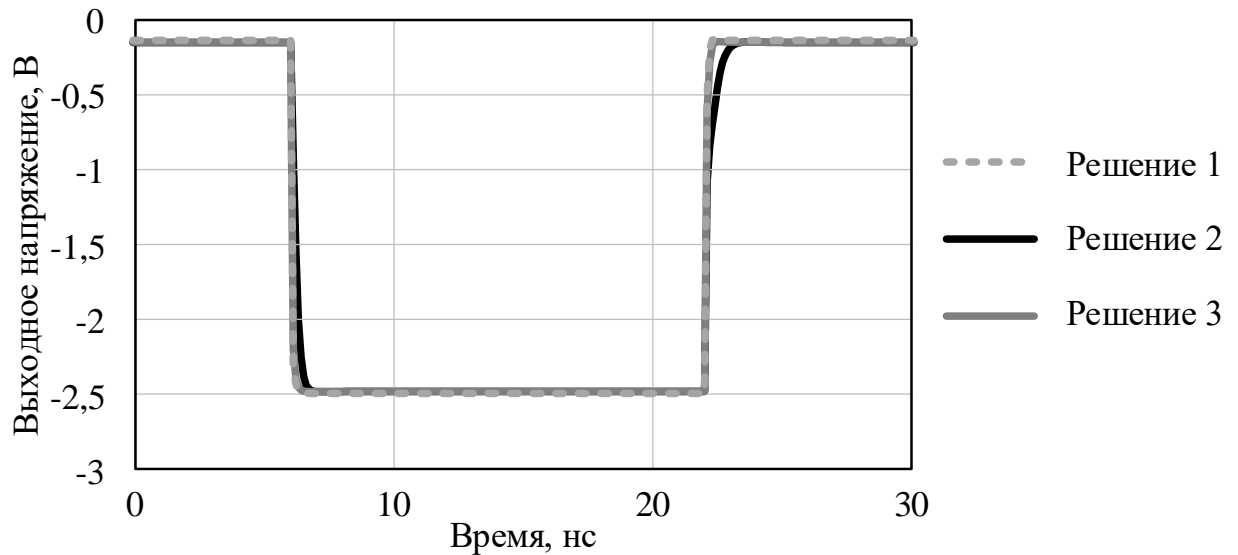


Рисунок 3.7 – Сравнение результатов моделирования выходного сигнала ВхПН во временной области

По результатам сравнения видно, что все решения имеют одинаковую передаточную характеристику, а потребление схем находится на том же уровне, что и у инвертора. На графике во временной области можно заметить, что у решения 2 имеется небольшая задержка фронта нарастания, что говорит, о меньшем быстродействии данной схемы. Тем не менее, все решения имеют равные значения напряжения для логических символов.

Сравнение результатов моделирования характеристик ВыхПН на постоянном токе и во временной области представлены на рисунках 3.8-3.9.

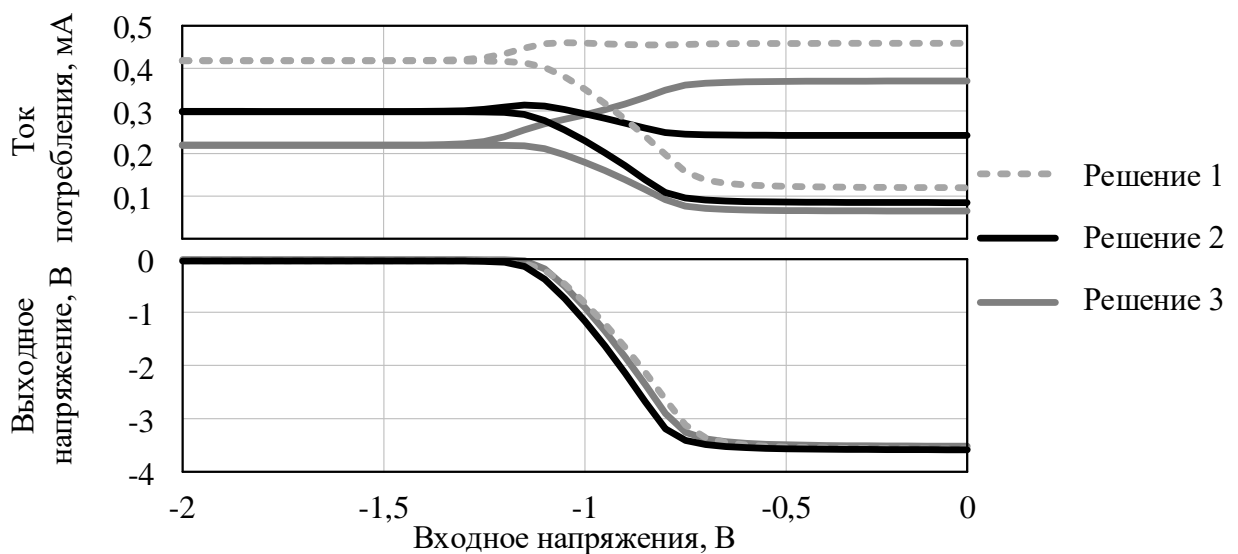


Рисунок 3.8 – Сравнение результатов моделирования характеристик ВыхПН на постоянном токе

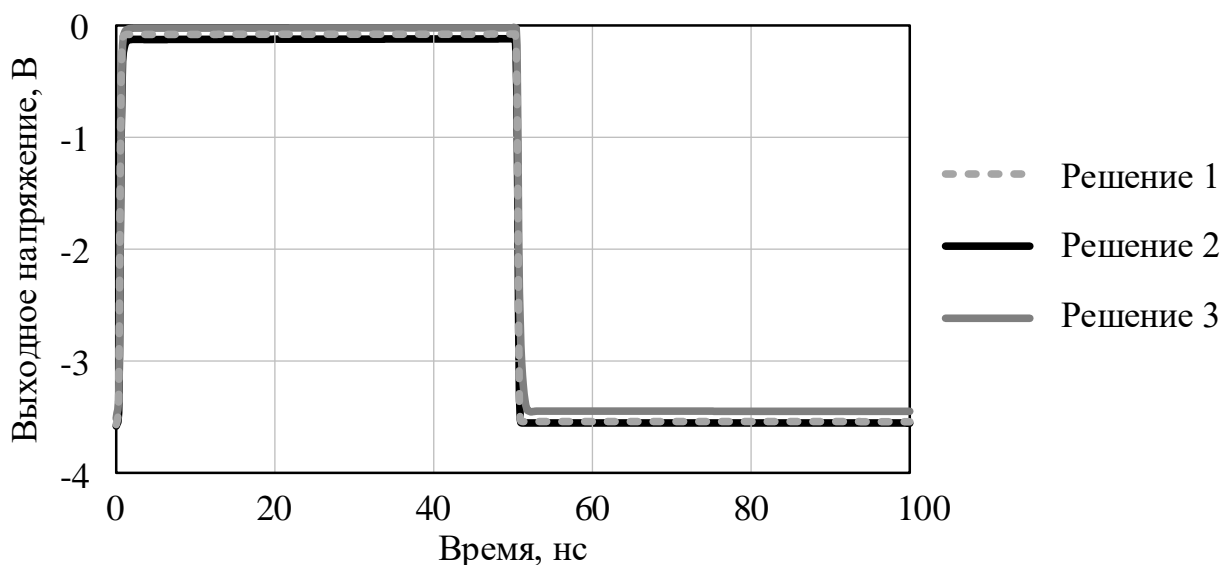


Рисунок 3.9 – Сравнение результатов моделирования выходного сигнала ВыхПН во временной области

Сравнение результатов показали, что решение 3 имеет более близкое к нулю значение напряжения для логической «1», чем остальные решения. Также заметно и немного меньшее по модулю значение напряжения для логического «0», однако этого уровня достаточно для управления ключевыми транзисторами на входе секций устройств с переменными состояниями.

Сравнение результатов моделирования характеристик *D*-триггера подтвердило выводы по быстродействию схем, сделанные по результатам моделирования характеристик кольцевого генератора. Для решения 3 были замечены фронты выходных сигналов *D*-триггера менее пологие, чем в остальных решениях, что говорит о более высоком значении быстродействия. Также стоит отметить, что для решения 2, наблюдается отклонение значения напряжения для логической «1», однако полученное значение находится в пределах помехоустойчивости и не должно повлиять на корректность работы устройства.

Сравнение результатов моделирования характеристик разряда драйвера показало, что решение 2 имеет минимальное потребление среди всех полученных решений, однако также было установлено, что у данного решения заметно значительное отклонение значения напряжения для логической «1». Если во внутренних блоках подобное отклонение не критично, так как

попадает в запас помехоустойчивости, то на выходе ВыхПН такое недопустимо, так как при недостаточном отпирающем напряжении на ключевых транзисторах секций устройств с переменными состояниями, могут появиться дополнительные потери при передаче СВЧ-сигнала. Важно отметить, что решение 3 имеет меньшее потребление по сравнению с решением 1.

### **3.4. Выводы по разделу**

1. Предложенная методика структурно-параметрического синтеза последовательно-параллельного драйвера управления на основе GaAs pHEMT технологии с использованием эволюционных вычислений, позволяет получить конфигурацию драйвера, выигрывающую по характеристикам у разработанного без применения синтеза драйвера.

2. Использование площади и времени задержки сигнала в инверторе при расчете ФП позволили получить драйвер управления, который выигрывает по характеристикам у драйвера, разработанного без применения синтеза.



## 4. ВЫБОР МОДЕЛИ ТРАНЗИСТОРА ДЛЯ ПРОЕКТИРОВАНИЯ И СИНТЕЗА ДРАЙВЕРА УПРАВЛЕНИЯ СВЧ МФИС

В данной работе, проектирование одного бита драйвера управления проводилось на основе отечественного технологического процесса 0,25 мкм GaAs рНЕМТ с возможностью изготавливать исключительно НО транзисторы. Важно отметить, что использованные в схеме драйвера управления транзисторы имели один затвор и минимальные значения ширины затвора. Такие транзисторы широко применяются для проектирования логических схем. В рассматриваемой схеме, использовались транзисторы с двумя различными значениями ширины затвора  $1 \times 8$  мкм и  $1 \times 10$  мкм. Так как измерения были предоставлены только для транзистора с общей шириной затвора  $1 \times 8$  мкм, то после построения модели для транзистора с периферией 8 мкм, было проведено масштабирование полученной модели. Построение моделей проводилось по методикам, описанным в подразделе 1.5.3.

### 4.1. Выбор репрезентативного прибора

Перед тем как начинать построение модели, необходимо выбрать репрезентативный прибор. Под репрезентативным прибором понимается прибор, имеющий характеристики, наиболее близкие к средним среди всех измеренных. Во многих работах отмечается важность этого шага для построения моделей.

Обычный подход к поиску среднего прибора заключается в определении  $n$  ключевых параметров транзистора, каждый параметр представляет собой переменную в  $n$ -мерном пространстве. Каждый образец в таком пространстве обозначается точкой, затем определяется точка, соответствующая среднему значению всех параметров, и для каждого образца рассчитывается расстояние до этой точки. До поиска репрезентативного прибора, должны быть отсеяны выбросы, в том числе заведомо нерабочие приборы, поскольку они будут искажать среднее значение.

Ранее была разработана методика, позволяющая провести поиск репрезентативного прибора по результатам измерений СВЧ

pHEMT-транзисторов [113] Алгоритм поиска репрезентативного прибора показан на рисунке 4.1.



Рисунок 4.1 – Алгоритм поиска репрезентативного прибора.

На первом этапе происходит считывание исследуемых характеристик из файлов, в данном случае исследуются ВАХ транзистора и малосигнальные S-параметры. На втором этапе поиска определяются и удаляются выбросы из полученной выборки. Для обнаружения выбросов используется подход, предложенный Тьюки [114]. Этот подход является общепринятым в описательной статистике. Данный подход используется для того, чтобы найти выбросы в каждой частотной точке выбранного диапазона отдельно для всех S-параметров и в каждой рабочей точке для ВАХ. Проверка на выбросы происходит независимо для каждой характеристики, каждой частотной и рабочей точки. Образец с измерениями считается выбросом при условии, что для одной и более характеристик обнаружено, что более чем 5% данных одного транзистора были определены как выбросы.

На третьем этапе, после удаления выбросов, происходит расчет среднего значения параметра на каждой точке измерения для каждой из характеристик.

Далее определяется отклонение значения измеренной характеристики от среднего значения:

$$D[X]_i = |X_i - \bar{X}|, \quad (4.1)$$

где  $X_i$  – текущее значение характеристики в исследуемой частотной точке,  $\bar{X}$  – среднее значение характеристики в исследуемой частотной точке.

Так как величины некоторых характеристик несопоставимы друг с другом, значения отклонений от среднего подвергаются процедуре нормировки. В качестве метода нормировки был использован метод линейной нормировки. Данный метод позволяет привести значения отклонений результатов по выборке в диапазон от 0 до 1, где нулевое значение соответствует наиболее близкому измерению к среднему, а единичное значение — наиболее отдалённому от среднего.

На четвертом этапе выбирается образец с минимальным значением нормированного суммарного усреднённого отклонения, который и является репрезентативным для исследуемой выборки [115].

#### **4.2. Построение нелинейных моделей транзисторов для применения в логических схемах**

Верификация построенных моделей проводилась путём сравнения результатов моделирования с результатами измерения ВАХ и нелинейных ёмкостей, которые рассчитывались по формулам (1.22)(1.23), для транзистора  $1 \times 8$ . Модель для транзистора  $1 \times 10$  была получена путём масштабирования параметров построенной модели для транзистора с периферией 8 мкм. Измерения ВАХ транзистора проводились в диапазоне от минус 2 В до 0,5 В с шагом 0,05 В по напряжению затвор-исток и в диапазоне от минус 2 В до 5 В с шагом 0,1 В по напряжению сток-исток. Для оценки нелинейных ёмкостей были сняты S-параметры транзистора в том же диапазоне по напряжениям, но с шагом 0,2 В для напряжения затвор-исток и 1 В для напряжения сток-исток.

Далее представлено сравнение результатов моделирования и измерения проверяемых характеристик для моделей TOM3, Angelov и EE-HEMT (рисунок 4.2-4.7).

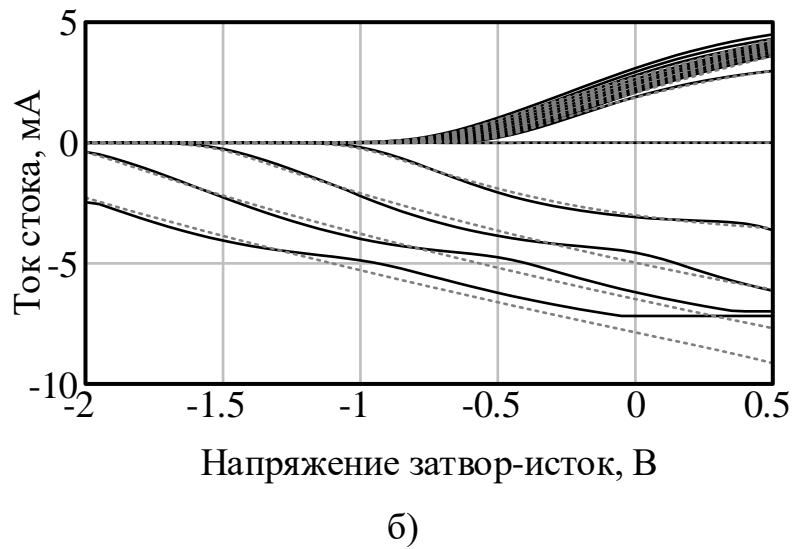
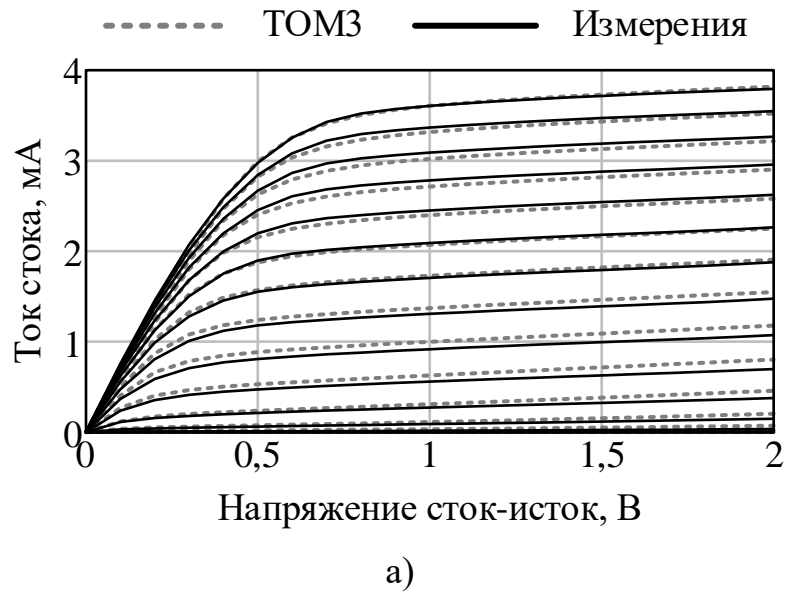
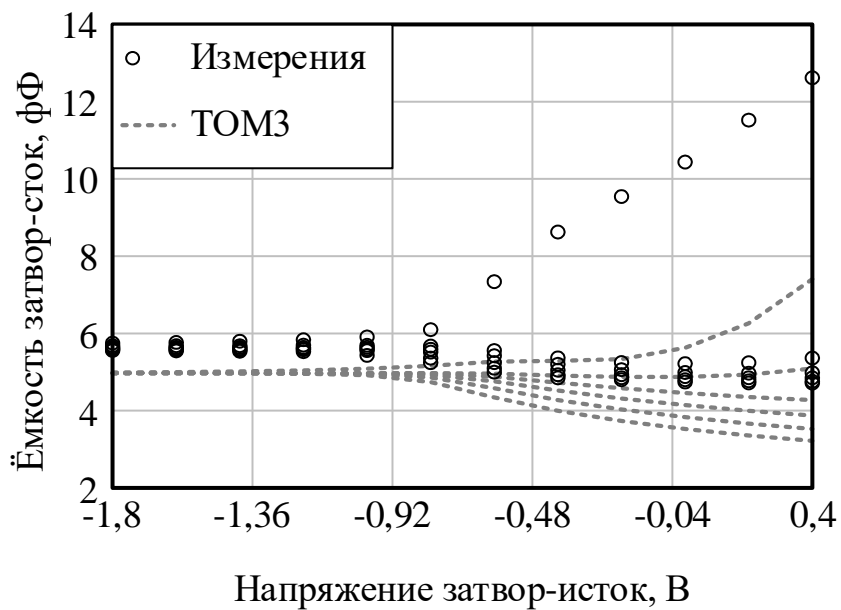
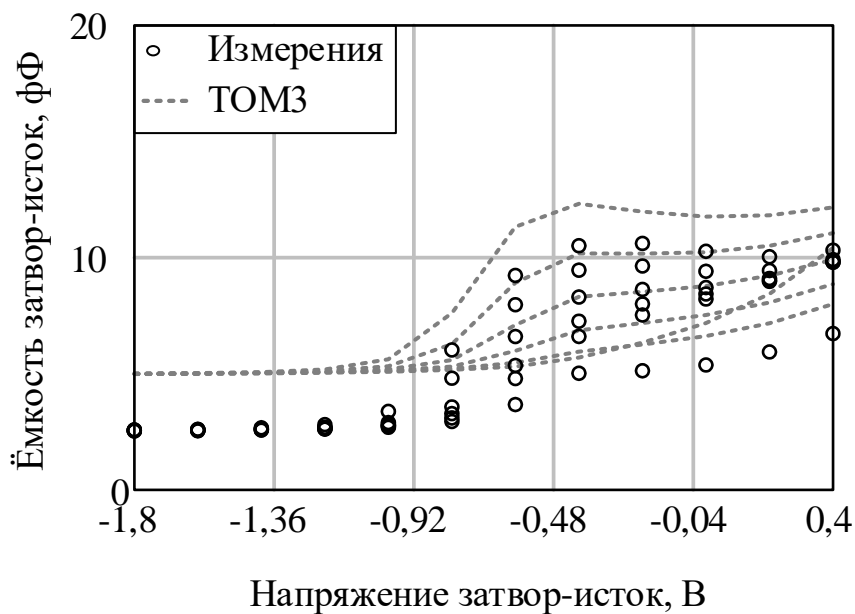


Рисунок 4.2 – Результаты моделирования модели ТОМЗ и измерения ВАХ:  
а) выходная ВАХ; б) передаточная ВАХ

Верификация построенной модели ТОМЗ показывает достаточно точное совпадение ВАХ в области положительных напряжений сток-исток.



а)

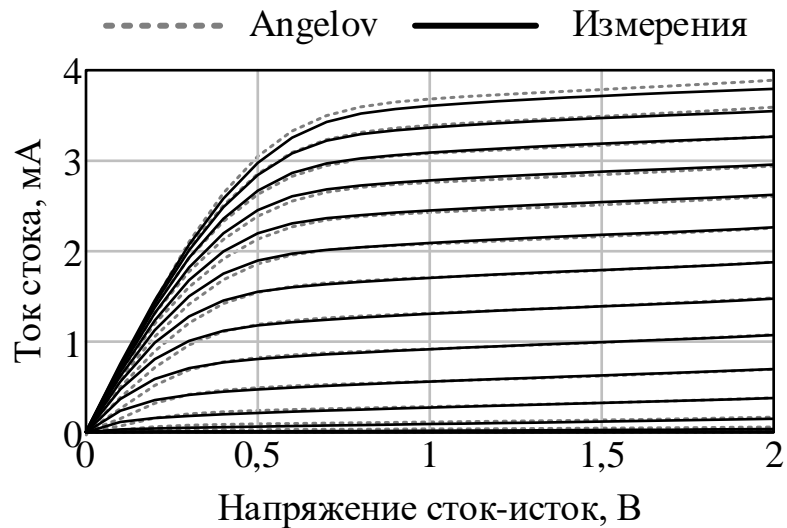


б)

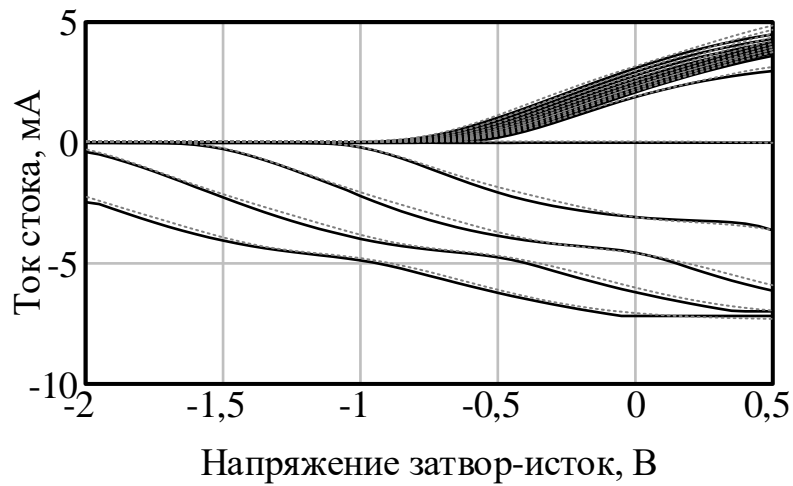
Рисунок 4.3 – Результаты моделирования модели ТОМЗ и расчетов из измерений нелинейных ёмкостей:

а) затвор-сток; б) затвор-исток.

Верификация нелинейных ёмкостей показала схожее поведение, однако, присутствует небольшое отклонение от значения рассчитанных ёмкостей.



а)

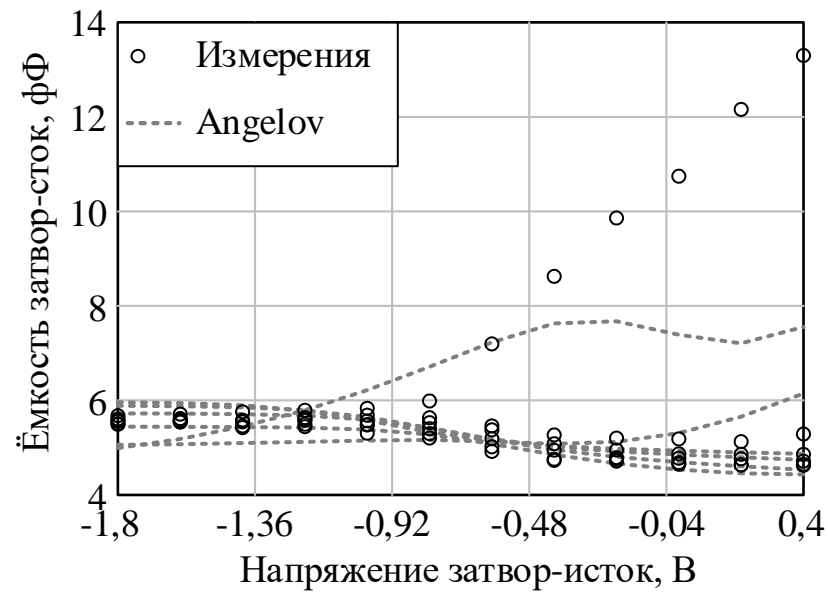


б)

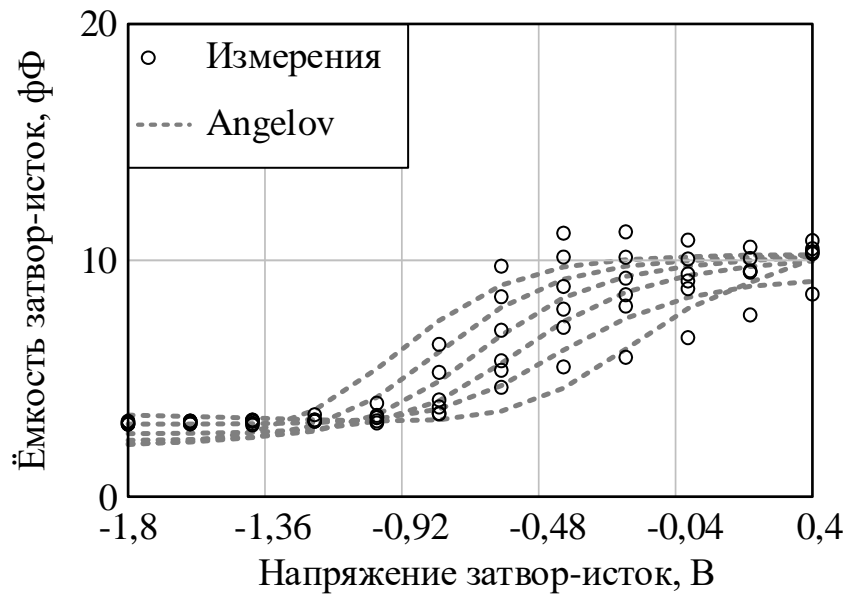
Рисунок 4.4 – Результаты моделирования модели Angelov и измерения ВАХ

а) выходная ВАХ; б) передаточная ВАХ

Верификация характеристик построенной модели Angelov показывает высокую точность повторения тока стока в области отрицательных напряжений сток-исток. Однако наблюдается уменьшение точности в области коленного напряжения при напряжениях на затворе в окрестности подпороговых значений.



а)



б)

Рисунок 4.5 – Результаты моделирования модели Angelov и расчетов из измерений нелинейных ёмкостей:

а) затвор-сток; б) затвор-исток; в) сток-исток.

Точность повторения нелинейных ёмкостей модели Angelov намного выше, чем у модели ТОМЗ.

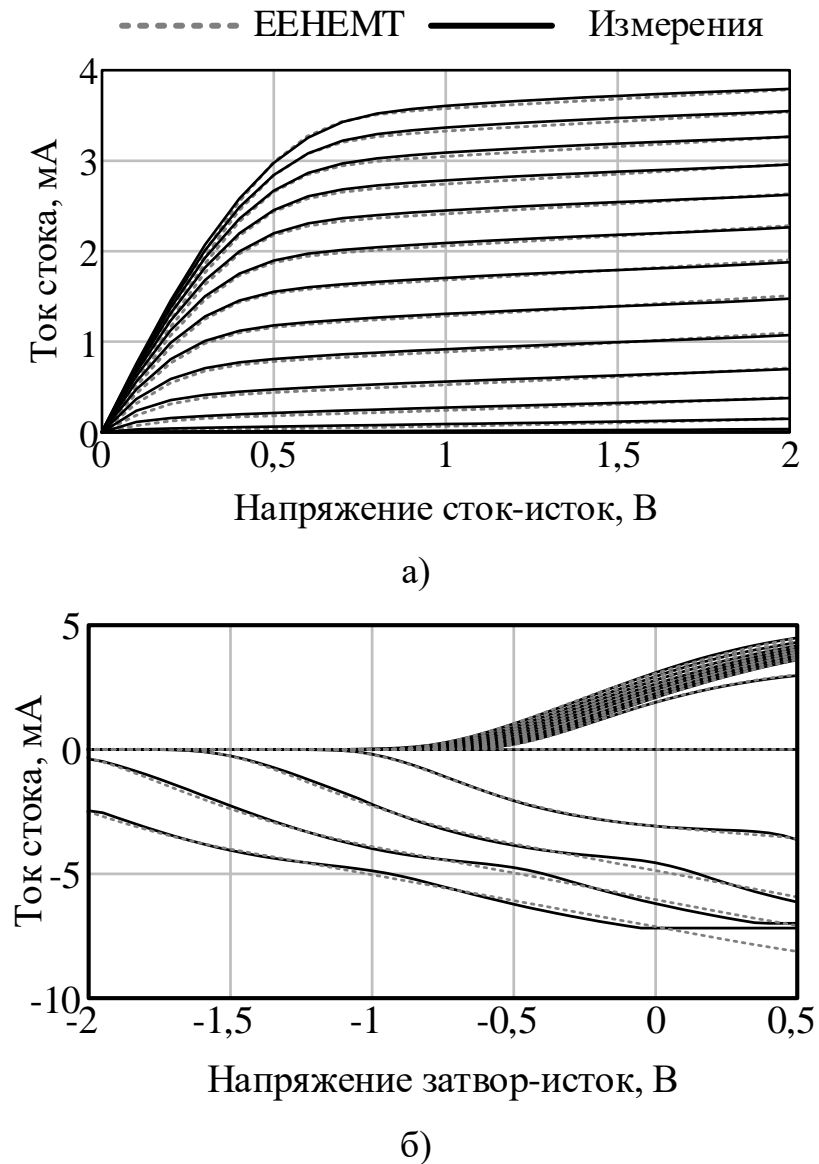
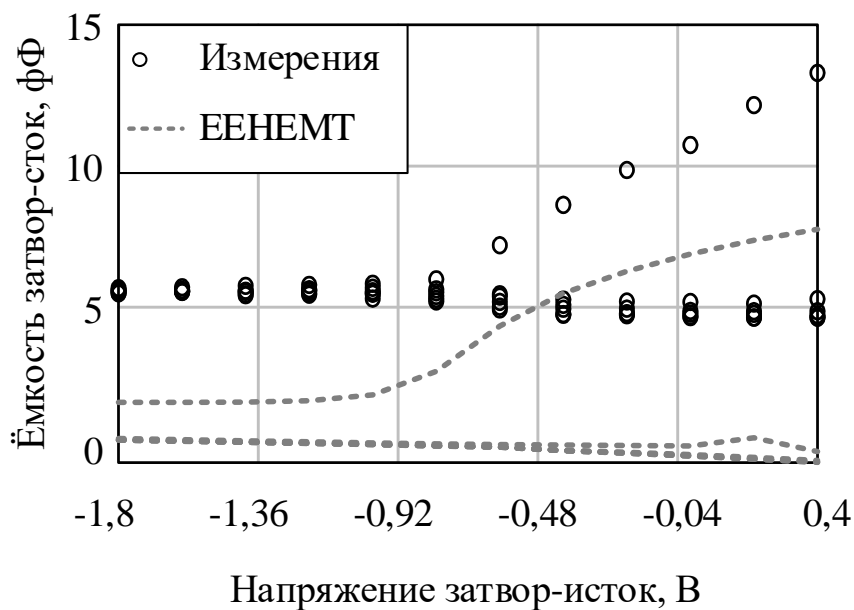


Рисунок 4.6 – Результаты моделирования модели ЕЕ-НЕМТ и измерения  
ВАХ

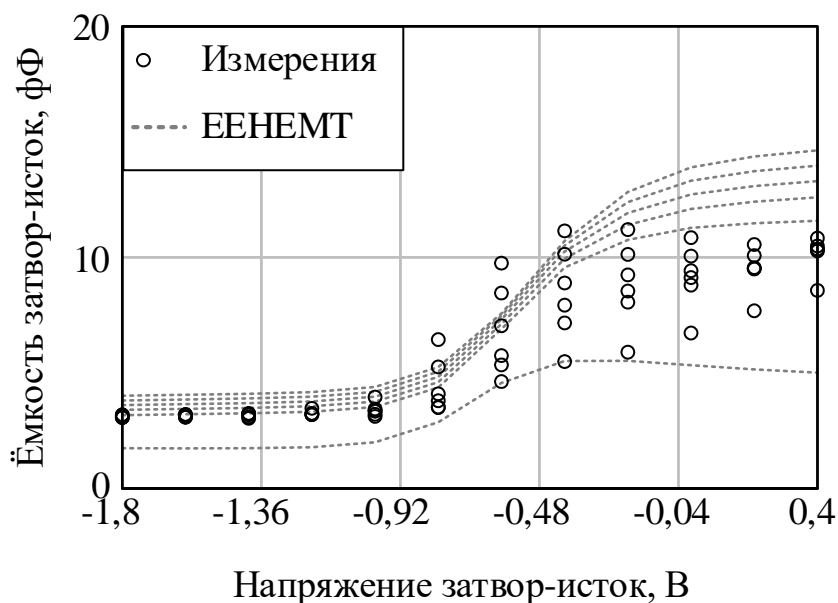
а) выходная ВАХ; б) передаточная ВАХ

Верификация модели ЕЕ-НЕМТ показала высокую точность повторения тока стока на всей области измерений.





а)



б)

Рисунок 4.7 – Результаты моделирования модели ТОМЗ и расчетов из измерений нелинейных ёмкостей:

а) затвор-сток; б) затвор-исток; в) сток-исток.

При построении модели ЕЕ-НЕМТ не удалось повторить значение ёмкости затвор-сток, при сохранении общего вида характеристики.

### 4.3. Валидация построенных моделей

Валидация построенных моделей проводилась путём сравнения измеренных и смоделированных характеристик инвертора, РС и одного бита

драйвера. Измерение проводилось по методикам, описанным в подразделе 2.4.1. При сравнении характеристик дополнительно использовалась модель из библиотеки элементов, обозначенная далее, как PDK.

Сравнение результатов моделирования и измерений передаточной характеристики инвертора показано на рисунке 4.9.

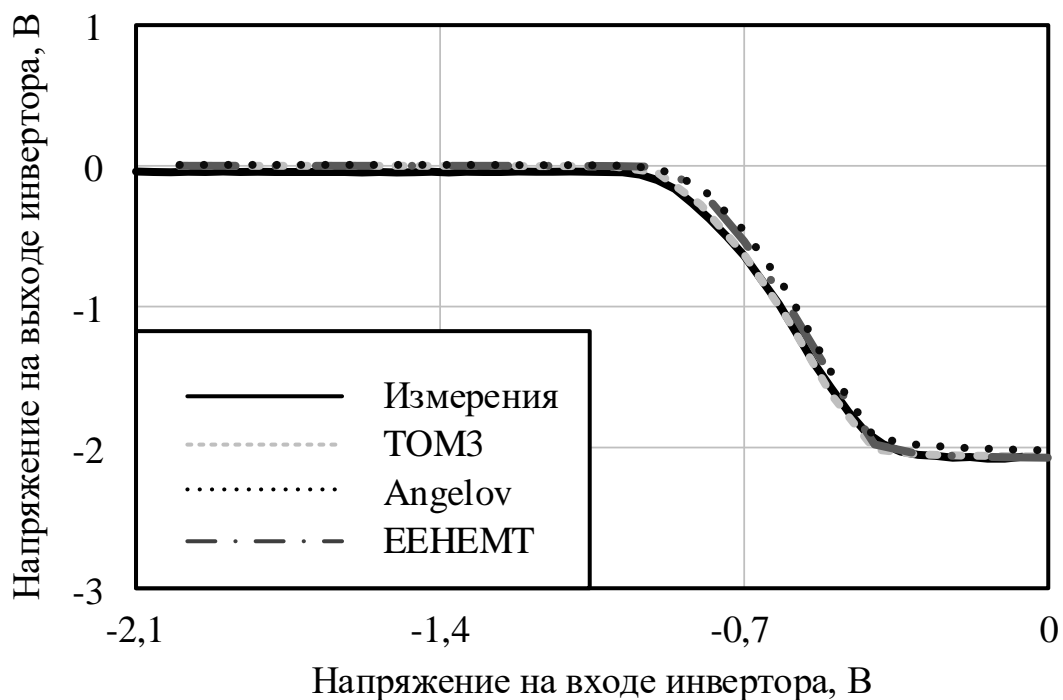


Рисунок 4.8 – Сравнение результатов моделирования и измерений передаточной характеристики инвертора

Из рисунка видно, что все построенные модели имеют высокую точность моделирования передаточной характеристики инвертора.

Сравнение результатов моделирования и измерений для РС показано на рисунке 4.9.

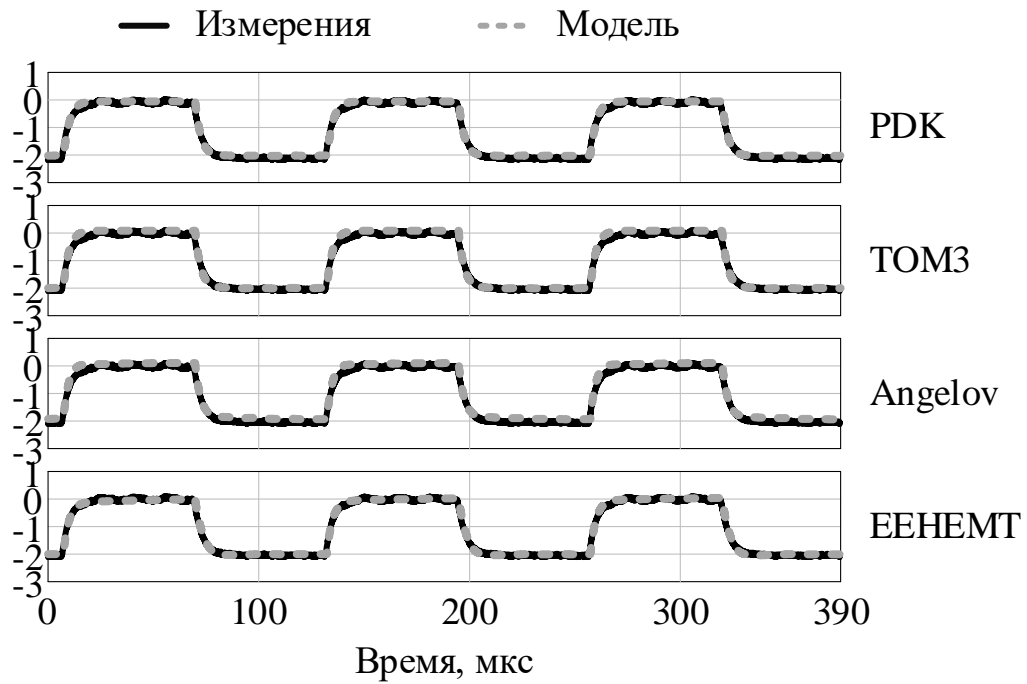


Рисунок 4.9 – Сравнение результатов моделирования и измерений напряжения на выходе разряда РС во временной области

На графике представлен результат моделирования напряжения на выходе первого разряда РС. Сравнение показывает, что все исследуемые модели имеют высокую точность моделирования напряжения на выходе разряда РС во временной области.

Сравнение результатов моделирования и измерений одного разряда драйвера показаны на рисунке 4.10.

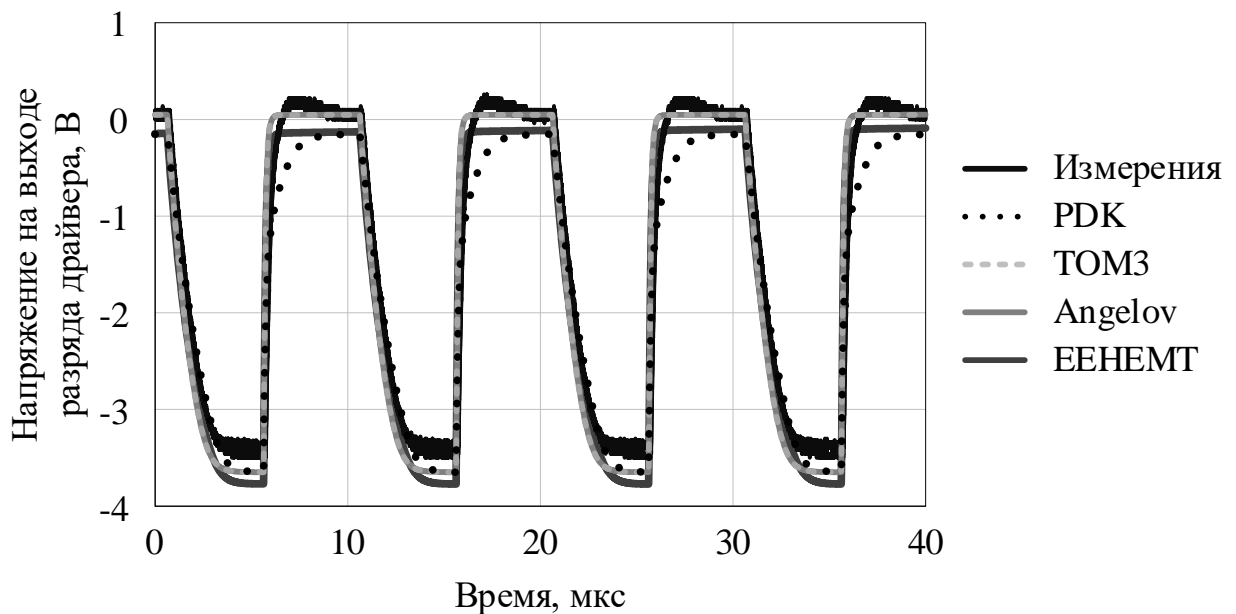


Рисунок 4.10 – Сравнение результатов моделирования и измерений напряжения на выходе разряда драйвера во временной области

Из графиков можно заметить, что модель из библиотеки элементов хуже повторяет напряжения логических уровней на выходе разряда драйвера. Хотя уровни напряжений логических символов на выходе разряда драйвера для результатов моделирования одинаковы, характер положительного и отрицательного фронтов для модели из библиотеки не совпадают с результатами измерения.

#### 4.4. Оценка скорости моделирования характеристик логических схем в зависимости от выбранной модели

Как ранее говорилось, во время синтеза происходит большое количество запусков моделирования схемы. Остальные операции, выполняемые во время синтеза, занимают несоизмеримо меньшее время, таким образом, большую часть времени синтеза занимает процесс моделирования схемы. Результаты литературного обзора говорят о том, для моделирования логических схем модель TOM3 является более подходящим выбором. Для подтверждения данного тезиса было проведено исследование времени моделирования различных логических схем в зависимости от использованных моделей. В эксперименте использовались построенные модели TOM3, Angelov, EENEMT и модель из библиотеки элементов. В качестве тестовой схемы был

выбран четырёхразрядный РС. Данная схема является достаточно ресурсоёмкой с точки зрения моделирования для большей репрезентативности результата. Тестовая схема включала только исследуемые модели и идеальный резистор, что позволило исключить влияние иных элементов на скорость моделирования.

Так как при измерении данной структуры характеристики каждого разряда снимались отдельно, то и для учета использованных коаксиальных кабелей, для каждого разряда была создана отдельная схема, которая имитировала процесс измерения. Итого, за один запуск моделирования четырёхразрядного РС происходило моделирование четырех схем последовательно. При этом время моделирования для каждого разряда записывалось отдельно. Для большей репрезентативности эксперимента было проведено девять запусков моделирования РС. Итого для оценки времени моделирования было измерено по 36 значений для каждой модели.

Результаты оценки времени моделирования четырёхразрядного РС для исследуемых моделей представлены в таблице 4.1.

Таблица 4.1 – Время моделирования четырёхразрядного РС с использованием разных моделей

Время моделирования	PDK	TOM3	Angelov	EE-HEMT
Минимум, с	458,8	86,8	333,6	172,8
Максимум, с	561,9	117,7	396,7	288,9
Среднее, с	482	96,8	361,6	210

Результаты показывают, что расчет модели TOM3 проходит быстрее всего, в 2 раза быстрее чем при использовании EE-HEMT и почти в 5 раз быстрее чем при использовании модели из библиотеки элементов. Также стоит отметить тот факт, что при моделировании схем с использованием моделей EE-HEMT и Angelov некоторые запуски заканчивались ошибкой моделирования: 5 из 36 для EE-HEMT и 1 из 36 для Angelov в то время, как моделирование схем с использованием моделей TOM3 не приводило к ошибкам моделирования. Модель из библиотеки элементов показала наибольшее время моделирование. Однако важно отметить, что был

предоставлен опытный образец библиотеки элементов, так как на момент исследования технологический процесс находился на стадии отладки.

Для проверки влияния скорости моделирования на время синтеза драйвера управления был произведен запуск синтеза инвертора. Синтез проводился с идентичными настройками что и при использовании модели из библиотеки элементов. Результаты синтеза показали, что использование модели ТОМ3 позволило сократить время синтеза примерно в полтора раза.

#### **4.5. Выводы по разделу**

1. Использованные методики позволяют получить модели транзистора, которые возможно использовать при проектировании логических схем на основе GaAs технологии.

2. Использование модели ТОМ2 вместо модели из библиотеки элементов, позволяет ускорить процесс моделирования логических схем в 5 раз, что позволит ускорить процесс синтеза.

3. При использовании модели ТОМ3 скорость моделирования характеристик логических схем проходило в 2,2 раза быстрее чем при использовании EE-HEMT и в 3,7 раза быстрее чем при использовании Angelov.

4. Использование модели ТОМ3 позволило ускорить процесс синтеза инвертора в два раза по сравнению с использованием модели из библиотеки элементов.

## 5. ЗАКЛЮЧЕНИЕ

Основные результаты работы сводятся к следующему:

1. Предложено новое схемотехническое решение для логических схем БПТ типа, позволяющее значительно уменьшить потребление логических устройств на основе данного типа логических схем.

2. Предложена методика структурно-параметрического синтеза последовательно-параллельного драйвера управления на основе GaAs рНЕМТ технологии на основе эволюционных вычислений, позволяющая получить решение, выигрывающее по характеристикам у решения разработчика.

3. Спроектирован и изготовлен разряд последовательно-параллельного драйвера, работоспособность которого проверена на частоте тактового сигнала 200 кГц.

4. Спроектирован и изготовлен четырехразрядный регистр сдвига, работоспособность которого проверена на частоте тактового сигнала 64 кГц.

5. Построены модели транзисторов позволяющих проектировать логические схемы на основе НО GaAs рНЕМТ-транзисторах.

6. Доказано, что использование модели транзистора ТОМЗ позволяет ускорить процесс синтеза в полтора раза по сравнению с использованием модели из библиотеки элементов.

**СПИСОК СОКРАЩЕНИЙ**

FET – field effect transistor

HBT – heterostructure bipolar transistor

HEMT – high electron mobility transistor

JFET – junction FET

MESFET – metal-semiconductor FET

MIMO – multiple input multiple output

pHEMT – pseudomorphic HEMT

SOI – silicon on insulator

ТОМ – triquint own model

FEM – front-end-module

АФАР – активная фазированная антенная решётка

БПТ – логическая схема с буферным каскадом на ПТ

ВАХ – вольтамперная характеристика

ВхПН – входной преобразователь напряжения

ВыхПН – выходной преобразователь напряжения

ГА – генетический алгоритм

ДШПТ – логическая схема с диодами Шоттки на ПТ

ЗПЛЕ – запас помехоустойчивости логической единицы

ЗПЛН – запас помехоустойчивости логического нуля

МШУ – малошумящий усилитель

МФИС – многофункциональная интегральная схема

НЗ – нормально закрытый

НО – нормально открытый

НСПТ – логическая схема с непосредственными связями на ПТ

ПКПТ – логическая схема с псевдо-комплементарными связями на ПТ

ППМ – приёмо-передающий модуль

ПТ – полевой транзистор

ПТШ – ПТ с затвором Шоттки

РС – регистр сдвига

РХ – регистр хранения



ТТЛ – транзисторно-транзисторная логика

УМ – усилитель мощности

ФП – функция приспособленности

## СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Ramella, C. Low Power GaAs Digital and Analog Functionalities for Microwave Signal Conditioning in AESA Systems / C. Ramella, P.E. Longhi, A. Nasri, L. Pace, W. Ciccognani, M. Estebasari, M. Pirola, E. Limiti // 2020 International Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits (INMMiC). – IEEE, 2020. – P. 1–3 – DOI:10.1109/INMMiC46721.2020.9160147.
2. Schuh, P. T/R-module technologies today and future trends / P. Schuh, H. Sledzik, R. Reber, K. Widmer, A. Fleckenstein, B. Schweizer, M. Oppermann // European Microwave Week 2010, EuMW2010: Connecting the World, Conference Proceedings - European Microwave Conference, EuMC 2010. – P. 1540–1543. – DOI: 10.23919/EUMC.2010.5616412.
3. Saqib, M. Comparative Survey of Techniques and Technologies Used in Transmit Path of Transmit Receive Module of AESA Radar / M. Saqib, M.S. Arif, R. Akmal // Proceedings of 2019 16th International Bhurban Conference on Applied Sciences and Technology, IBCAST 2019. – IEEE, 2019. – P. 1021–1028 – DOI:10.1109/IBCAST.2019.8667234.
4. Brandfass, M. Multifunctional AESA Technology Trends - A Radar System Aspects View / M. Brandfass, M. Boeck, R. Bil // IEEE International Symposium on Phased Array Systems and Technology. – IEEE, 2019. – P. 8138–8143 – DOI:10.1109/PAST43306.2019.9021067.
5. Ma, H. Demonstration of a high-efficiency MWPT System for Aerospace / H. Ma, Y. Yang, N. Qi, S. Ma, X. Li // 2018 IEEE Wireless Power Transfer Conference, WPTC 2018. – 2019. – P. 1–4 – DOI:10.1109/WPT.2018.8639304.
6. Bharj, S.S. A full-duplex, multi-channel transmit/receive module for an S-band satellite communications phased array / S.S. Bharj, B. Tomasic, J. Turtle, R. Turner, G. Scalzi, S. Liu // IEEE International Symposium on Phased Array Systems and Technology. – 2010. – № 1 – P. 202–210 – DOI:10.1109/ARRAY.2010.5613370.

7. Huang, C.W.P. A compact 5-6 GHz T/R module based on SiGe BiCMOS and SOI that enhances 256 QAM 802.11ac WLAN radio front-end designs / C.W.P. Huang, M. Doherty, L.R. Lam, A. Quaglietta, M. Johnson, B. Vaillancourt // 2014 IEEE 15th Annual IEEE Wireless and Microwave Technology Conference, WAMICON 2014. – 2014. – P. 11–14 – DOI:10.1109/WAMICON.2014.6857790.
8. Koliass, N.J. The development of T/R modules for radar applications / N.J. Koliass, M.T. Borkowski // IEEE MTT-S International Microwave Symposium Digest. – 2012. – P. 1–3 – DOI:10.1109/MWSYM.2012.6259727.
9. Harris, M. GaN-based components for transmit/receive modules in active electronically scanned arrays / M. Harris, R. Howard, T. Wallace // 2013 International Conference on Compound Semiconductor Manufacturing Technology, CS MANTECH 2013. – 2013. – P. 99–102.
10. Allen, S.T. Silicon carbide MESFET's with 2 W/mm and 50% P.A.E. at 1.8 GHz / S.T. Allen, J.W. Palmour, C.H. Carter, C.E. Weitzel, K.E. Moore, K.J. Nordquist, L.L. Pond // IEEE MTT-S International Microwave Symposium Digest. – 1996. – Vol. 2 – P. 681–684 – DOI:10.1109/mwsym.1996.511031.
11. Allen, S.T. Invited-progress in high power SiC microwave MESFETs / S.T. Allen, W.L. Pribble, R.A. Sadler, T.S. Alcorn, Z. Ring, J.W. Palmour // IEEE MTT-S International Microwave Symposium Digest. – 1999. – Vol. 1 – P. 321–324.
12. Oppermann, M. GaN/SiC MMICs and packaging for use in future transmit / receive modules / M. Oppermann, F. Thurow, B. Bunz // ESTC 2014 - 5th Electronics System-Integration Technology Conference. – 2014. – P. 4–7 – DOI:10.1109/ESTC.2014.6962788.
13. Cui, Y. Integration of Self-Biased Circulators on GaN/SiC for Ka-band RF application / Y. Cui, Y. Cao, M. Pilla, E. Beam, A. Xie, C. Lee, A. Ketterson, M. Roach, A. Geiler, M. Geiler, L. Burns, D. Linkhart // Device Research Conference - Conference Digest, DRC. – IEEE, 2019. – № 2 – P. 41–42 – DOI:10.1109/DRC46940.2019.9046448.
14. Kaleem, S. A high-power Ka-band single-pole single-throw switch MMIC using 0.25  $\mu\text{m}$  GaN on SiC / S. Kaleem, J. Kuhn, R. Quay, M. Hein // IEEE

Radio and Wireless Symposium, RWS. – 2015. – P. 132–134 – DOI:10.1109/RWS.2015.7129738.

15. Valenta, V. Single-chip transmit-receive module with a fully integrated differential RF-MEMS antenna switch and a high-voltage generator for F-band radars / V. Valenta, H. Schumacher, S.T. Wipf, M. Wietstruck, A. Goeritz, M. Kaynak, W. Winkler // Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting. – 2015. – P. 40–43 – DOI:10.1109/BCTM.2015.7340564.

16. Liu, C. An 890 mW stacked power amplifier using SiGe HBTs for X-band multifunctional chips / C. Liu, Q. Li, Y. Li, X. Li, H. Liu, Y.-Z. Xiong // ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC). – IEEE, 2015. – P. 68–71 – DOI:10.1109/ESSCIRC.2015.7313830.

17. Rieger, R. A Full-Array-Grid-Compatible Wideband Tx/Rx Multipack using Multifunctional Chips on GaN and SiGe / R. Rieger, A. Klaasen, P. Schuh, M. Oppermann // 2018 15th European Radar Conference, EuRAD 2018. – 2018. – P. 433–436 – DOI:10.23919/EuRAD.2018.8546648.

18. Wang, X.S. A dual-band SP6T T/R switch in SOI CMOS with 37-dBm P-0.1 dB or GSM/W-CDMA Handsets / X.S. Wang, C.P. Yue // IEEE Transactions on Microwave Theory and Techniques. – 2014. – Vol. 62 – № 4 – P. 861–870 – DOI:10.1109/TMTT.2014.2308306.

19. Li, C. 1W < 0.9dB IL DC-20GHz T/R switch design with 45nm SOI process / C. Li, G. Freeman, M. Boenke, N. Cahoon, U. Kodak, G. Rebeiz // 2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF). – IEEE, 2017. – P. 57–59 – DOI:10.1109/SIRF.2017.7874370.

20. Ahmed, Y. A 24-47-GHz Resonant Multiband T/R Switch / Y. Ahmed, A. Ezz, M. El-Nozahi // IEEE Microwave and Wireless Components Letters. – 2021. – Vol. 31 – № 5 – P. 493–496 – DOI:10.1109/LMWC.2021.3067143.

21. Tang, X. Design and analysis of a 28 GHz T/R front-end module in 22-nm FD-SOI CMOS technology / X. Tang, Y. Liu, G. Mangraviti, Z. Zong, K. Khalaf, Y. Zhang, W.M. Wu, S.H. Chen, B. Debaillie, P. Wambacq // IEEE Transactions on Microwave Theory and Techniques. – 2021. – Vol. 69 – № 6 – P. 2841–2853 – DOI:10.1109/TMTT.2021.3059891.

22. PE188200: 8-channel Beamforming Front End, 26.5–29.5 GHz pSemi Corporation. Datasheet [электронный ресурс]. – Режим доступа: <https://www.psemi.com/pdf/datasheets/pe188200pb.pdf> (дата обращения: 12.05.2021)
23. PE188100: 8-channel Beamforming Front End, 24.25–27.5 GHz pSemi Corporation. Datasheet [электронный ресурс]. – Режим доступа: <https://www.psemi.com/pdf/datasheets/pe188100pb.pdf> (дата обращения: 02.06.2021)
24. PE46140: Monolithic Phase & Amplitude Controller, 3.4–3.8 GHz pSemi Corporation. Datasheet [электронный ресурс]. – Режим доступа: <https://www.psemi.com/pdf/datasheets/pe46140ds.pdf> (дата обращения: 07.06.2021)
25. Zhou, Shancheng A 7.5–9 GHz GaAs Two-Channel Multi-Function Chip / Shancheng Zhou, Shouli Zhou, J. Zhang, J. Wu, H. Yang, Z. Wang // *Electronics*. – 2019. – Vol. 8 – № 4 – P. 395 – DOI:10.3390/electronics8040395.
26. Lee, H. A Ku-Band GaAs Multifunction Transmitter and Receiver Chipset / H. Lee, Y. Kim, I. Lee, D. Kim, K. Park, S. Jeon // *Electronics*. – 2020. – Vol. 9 – № 8 – P. 1327 – DOI:10.3390/electronics9081327.
27. Harris, M. A 12-bit Serial-to-Parallel Converter Using Depletion-Mode-Only Devices / M. Harris, P. Gui // 2017 Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS). – IEEE, 2017. – P. 1–4 – DOI:10.1109/WMCaS.2017.8070676.
28. Marescialli, L. Transmit / Receive Module Technology and Related Multi - Function Active Radars in Selex-Sistemi Integrati / L. Marescialli, M. Perillo, M. Tarantino. – 2010. – P. 238–244.
29. Аржанов, С.Н. СВЧ GaAs МИС дискретных фазовращателей С диапазона со встроенным драйвером управления / С.Н. Аржанов, В.А. Арыков, А.А. Баров, В.Я. Гюнтер, Ю.В. Лиленко. – 2008. – P. 2–3.
30. Wanum, M. Van Generic robust LVCMOS-compatible control logic for GaAs HEMT switches / M. Van Wanum, G. Van Der Bent, M. Rodenburg, A.P. De

Hek // Proceedings of the 1st European Microwave Integrated Circuits Conference, EuMIC 2006.– P. 83–86 – DOI:10.1109/EMICC.2006.282756.

31. Chen, W. Low Power Compact GaAs PHEMT Level Converter for Digital Control Logics of GaAs Switches / W. Chen, H. Luo, M. Zhou, Z.-M. Lu, Y.-H. Shang, F.-X. Yu // Information Technology Journal. – 2013. – Vol. 12 – № 5 – P. 1030–1034 – DOI:10.3923/itj.2013.1030.1034.

32. Bentini, A. Design and realization of GaAs digital circuit for mixed signal MMIC Implementation in AESA applications / A. Bentini, B. Pasciuto, W. Ciccognani, E. Limiti, A. Nanni, P. Romanini // International Journal of Microwave Science and Technology. – 2011. – Vol. 14 – № 20 – P. 1–7 – DOI:10.1155/2011/387137.

33. Kim, D. Compact 4-bit GaAs Ku-band Core Chips for Phased Arrays / D. Kim, K. Yeom // Microwave and Optical Technology Letters. – 2020. – Vol. 62 – № 6 – P. 2289–2299 – DOI:10.1002/mop.32294.

34. Jiang, Y. Design and realization of a 13-bit serial to parallel GaAs digital circuit for 6–18 GHz T/R module / Y. Jiang, X. Jiang, Y. Li, W. Hong // 2016 IEEE International Conference on Ubiquitous Wireless Broadband (ICUWB). – IEEE, 2016. – P. 1–3 – DOI:10.1109/ICUWB.2016.7790612.

35. Pirola, M. 13-bit GaAs Serial-to-Parallel Converter With Compact Layout for Core-Chip Applications / M. Pirola, R. Quaglia, G. Ghione, W. Ciccognani, E. Limiti // Microelectronics Journal. – Elsevier, 2014. – Vol. 45 – № 7 – P. 864–869 – DOI:10.1016/j.mejo.2014.04.036.

36. Ghione, G. Compact GaAs HEMT D flip-flop for the integration of a SAR MMIC core-chip digital control logic / G. Ghione, M. Pirola, R. Quaglia, W. Ciccognani, E. Limiti, T. Cavanna // 2010 Workshop on Integrated Nonlinear Microwave and Millimeter-Wave Circuits. – IEEE, 2010. – P. 62–65 – DOI:10.1109/INMMIC.2010.5480137.

37. Foley, C. Characterizing metastability / C. Foley // Proceedings Second International Symposium on Advanced Research in Asynchronous Circuits and Systems. – IEEE Comput. Soc. Press, 1996. – P. 175–184 – DOI:10.1109/ASYNC.1996.494449.

38. **Билевич Д.В.** Обзор цифровых драйверов управления СВЧ многофункциональных интегральных схем на основе GaAs-технологии / **Билевич Д.В.** // ЭЛЕКТРОННАЯ ТЕХНИКА, СЕР. 1, СВЧ-ТЕХНИКА. – 2021. – Vol. 3 – № 550 – P. 26–41.
39. Shur, M. GaAs Devices and Circuits / M. Shur // GaAs Devices and Circuits. – Boston, MA: Springer US, 1987. – 670 p. – DOI:10.1007/978-1-4899-1989-2.
40. Yanyang, X. Direct Coupled FET Logic (DCFL) circuit for GaAs LSIC application / X. Yanyang, Z. Xiaoguang, H. Jingchen // ICMMT 1998 - 1998 International Conference on Microwave and Millimeter Wave Technology, Proceedings. – 1998.– P. 913–916 – DOI:10.1109/ICMMT.1998.768438.
41. Busheri, E. Middlesex University Research Repository / E. Busheri. – 1992. – 80 p.
42. Deming, R.N. A gallium arsenide configurable cell array using buffered FET logic / R.N. Deming, R. Zucca, R.P. Vahrenkamp, L.D. Hou, B.A. Naused, B.K. Gilbert // IEEE Journal of Solid-State Circuits. – 1984. – Vol. 19 – № 5 – P. 728–738 – DOI:10.1109/JSSC.1984.1052215.
43. Vu, T.T. A gallium arsenide SDFL gate array with on-chip RAM / T.T. Vu, P.C.T. Roberts, R.D. Nelson, G.M. Lee, B.R. Hanzal, K.W. Lee, N. Zafar, D.R. Lamb, M.J. Helix, S.A. Jamison, S.A. Hanka, J.C. Brown, M.S. Shur // IEEE Transactions on Electron Devices. – 1984. – Vol. 31 – № 2 – P. 144–156 – DOI:10.1109/T-ED.1984.21492.
44. Kanan, R. A low-power GaAs flip-flop / R. Kanan, B. Hochet, F. Kaess, M. Declercq // Gallium Arsenide Applications Symposium. GAAS. – 1997. – P. 251–254.
45. Kanan, R. PCFL3: a low-power high speed single-ended logic family / R. Kanan, F. Kaess, M. Declercq // GaAs IC Symposium. IEEE Gallium Arsenide Integrated Circuit Symposium. 20th Annual. Technical Digest 1998 (Cat. No.98CH36260). – IEEE, 1998. – P. 63–67 – DOI:10.1109/GAAS.1998.722627.
46. Meinhardt, C. Logic and physical synthesis of cell arrays / C. Meinhardt, R. Reis, R. Tavares // Proceedings of the IEEE International Conference

on Electronics, Circuits, and Systems. – 2007. – P. 1292–1295 – DOI:10.1109/ICECS.2007.4511234.

47. Awad, A. A Comparative Analysis of Binary Decision Diagram Reordering Algorithms for Reversible Circuit Synthesis / A. Awad, B. Abdalhaq, A. Hawash, D. Johnson // Proceedings of the 2018 IEEE Symposium Series on Computational Intelligence, SSCI 2018. – IEEE, 2019. – P. 104–111 – DOI:10.1109/SSCI.2018.8628765.

48. Jo, K. Design Rule Evaluation Framework Using Automatic Cell Layout Generator for Design Technology Co-Optimization / K. Jo, S. Ahn, J. Do, T. Song, T. Kim, K. Choi // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – IEEE, 2019. – Vol. 27 – № 8 – P. 1933–1946 – DOI:10.1109/TVLSI.2019.2910579.

49. Cleeff, P. Van BonnCell: Automatic Cell Layout in the 7-nm Era / P. Van Cleeff, S. Hougardy, J. Silvanus, T. Werner // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – IEEE, 2020. – Vol. 39 – № 10 – P. 2872–2885 – DOI:10.1109/TCAD.2019.2962782.

50. Park, D. SP&R: Simultaneous Placement and Routing framework for standard cell synthesis in sub-7nm / D. Park, D. Lee, I. Kang, S. Gao, B. Lin, C.-K. Cheng // 2020 25th Asia and South Pacific Design Automation Conference (ASP-DAC). – IEEE, 2020. – Vol. 2020-Janua – P. 345–350 – DOI:10.1109/ASP-DAC47756.2020.9045729.

51. Togni, J. Automatic generation of digital cell libraries / J. Togni, F.R. Schneider, V.P. Correia, R.P. Ribas, A.I. Reis // Proceedings. 15th Symposium on Integrated Circuits and Systems Design. – IEEE Comput. Soc, 2002. – P. 265–270 – DOI:10.1109/SBCCI.2002.1137669.

52. Hershenson, M. delM. Optimal design of a CMOS op-amp via geometric programming / M. delM. Hershenson, S.P. Boyd, T.H. Lee // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2001. – Vol. 20 – № 1 – P. 1–21 – DOI:10.1109/43.905671.

53. Gielen, G. An analogue module generator for mixed analogue/digital asic design / G. Gielen, G. Debyser, K. Lampaert, F. Leyn, K. Swings, G. Der Van



Plas, W. Sansen, D. Leenaerts, P. Veselinovic, W. van Bokhoven // International Journal of Circuit Theory and Applications. – 1995. – Vol. 23 – № 4 – P. 269–283 – DOI:10.1002/cta.4490230403.

54. Gielen, G.G.E. Analog circuit design optimization based on symbolic simulation and simulated annealing / G.G.E. Gielen, H.C.C. Walscharts, W.M.C. Sansen // IEEE Journal of Solid-State Circuits. – 1990. – Vol. 25 – № 3 – P. 707–713 – DOI:10.1109/4.102664.

55. Ochotta, E.S. Analog circuit synthesis for large, realistic cells: designing a pipelined A/D converter with ASTRX/OBLX / E.S. Ochotta, L.R. Carley, R.A. Rutenbar // Proceedings of IEEE Custom Integrated Circuits Conference - CICC '94. – IEEE, 1994. – P. 365–368 – DOI:10.1109/CICC.1994.379701.

56. Fukuda, M. OP-AMP sizing by inference of element values using machine learning / M. Fukuda, T. Ishii, N. Takai // 2017 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS). – IEEE, 2017. – P. 622–627 – DOI:10.1109/ISPACS.2017.8266553.

57. Akinwande, O. Invertible Neural Networks for Design of Broadband Active Mixers / O. Akinwande, O. Waqar Bhatti, X. Li, M. Swaminathan // Proceedings of the 2022 ACM/IEEE Workshop on Machine Learning for CAD. – New York, NY, USA: ACM, 2022. – № 1 – P. 145–151 – DOI:10.1145/3551901.3556491.

58. Ceperic, V. Modeling of analog circuits by using support vector regression machines / V. Ceperic, A. Baric // Proceedings of the 2004 11th IEEE International Conference on Electronics, Circuits and Systems, 2004. ICECS 2004. – IEEE. – P. 391–394 – DOI:10.1109/ICECS.2004.1399700.

59. Hozumi, T. Evolutionary computing approach to multilevel logic synthesis using various logic operations / T. Hozumi, O. Kakusho, K. Yamato // Proceedings of The International Symposium on Multiple-Valued Logic. – 2000. – P. 259–264 – DOI:10.1109/ismvl.2000.848629.

60. Koziel, S. Application of adaptive evolutionary algorithm for low power design of CMOS digital circuits / S. Koziel, W. Szczesniak // 9th International

Conference on Electronics, Circuits and Systems. – IEEE, 2002. – Vol. 2 – P. 685–688 – DOI:10.1109/ICECS.2002.1046261.

61. Koza, J. Genetic programming as a means for programming computers by natural selection / J. Koza // *Statistics and Computing*. – 1994. – Vol. 4 – № 2 – P. 87–112 – DOI:10.1007/BF00175355.

62. Coello Coello, C.A. Towards automated evolutionary design of combinational circuits / C.A. Coello Coello, A.D. Christiansen, A.H. Aguirre // *Computers & Electrical Engineering*. – 2000. – Vol. 27 – № 1 – P. 1–28 – DOI:10.1016/S0045-7906(00)00004-5.

63. Irfan, M. Combinational digital circuit synthesis using Cartesian genetic programming from a NAND gate template / M. Irfan, Q. Habib, G.M. Hassan, K.M. Yahya, S. Hayat // *Proceedings - 2010 6th International Conference on Emerging Technologies, ICET 2010*. – 2010. – P. 343–347 – DOI:10.1109/ICET.2010.5638462.

64. Koza, J.R. Automated synthesis of analog electrical circuits by means of genetic programming / J.R. Koza, F.H. Bennett, D. Andre, M.A. Keane, F. Dunlap // *IEEE Transactions on Evolutionary Computation*. – 1997. – Vol. 1 – № 2 – P. 109–128 – DOI:10.1109/4235.687879.

65. Ding, D. Multiobjective Optimization of Microwave Circuits with Many Structural Parameters and Objectives / D. Ding, X. Zhang, J. Zhang, Y. Cao, J.L. Bai, J. Yang // *2019 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*. – IEEE, 2019. – P. 1–3 – DOI:10.1109/ICMMT45702.2019.8992460.

66. Koziel, S. Rapid Simulation-Driven Multiobjective Design Optimization of Decomposable Compact Microwave Passives / S. Koziel, A. Bekasiewicz // *IEEE Transactions on Microwave Theory and Techniques*. – 2016. – Vol. 64 – № 8 – P. 2454–2461 – DOI:10.1109/TMTT.2016.2583427.

67. Koziel, S. Expedited multi-objective design optimization of miniaturized microwave structures using physics-based surrogates / S. Koziel, A. Bekasiewicz, P. Kurgan, J.W. Bandler // *2015 IEEE MTT-S International*

Microwave Symposium. – IEEE, 2015. – P. 1–3 – DOI:10.1109/MWSYM.2015.7166738.

68. Brito, L.C. A general and robust method for multi-criteria design of microwave oscillators using an evolutionary strategy / L.C. Brito, P.H.P. de Carvalho // Proceedings of the 2003 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference - IMOC 2003. (Cat. No.03TH8678). – IEEE, 2003. – P. 135–139 – DOI:10.1109/IMOC.2003.1244846.

69. Akada, T. Designing Microwave Circuits Using Genetic Algorithms Accelerated by Convolutional Neural Networks / T. Akada, K. Fujimori // 2020 50th European Microwave Conference (EuMC). – IEEE, 2021. – P. 61–64 – DOI:10.23919/EuMC48046.2021.9337992.

70. Liu, B. Global Optimization of Microwave Filters Based on a Surrogate Model-Assisted Evolutionary Algorithm / B. Liu, H. Yang, M.J. Lancaster // IEEE Transactions on Microwave Theory and Techniques. – 2017. – Vol. 65 – № 6 – P. 1976–1985 – DOI:10.1109/TMTT.2017.2661739.

71. Kokolov, A.A. Genetic-algorithm-based synthesis of differential amplifiers with complex-impedance terminations / A.A. Kokolov, L.I. Babak, D.A. Zhabin, F.I. Sheyerman // 2017 IEEE Asia Pacific Microwave Conference (APMC). – IEEE, 2017. – P. 399–401 – DOI:10.1109/APMC.2017.8251464.

72. Choi, K. Hybrid Algorithm Combing Genetic Algorithm With Evolution Strategy for Antenna Design / K. Choi, D.-H. Jang, S.-I. Kang, J.-H. Lee, T.-K. Chung, H.-S. Kim // IEEE Transactions on Magnetics. – 2016. – Vol. 52 – № 3 – P. 1–4 – DOI:10.1109/TMAG.2015.2486043.

73. Zhabin, D.A. Automated synthesis of low noise amplifiers using s-parameter sets of passive elements / D.A. Zhabin, D. V. Garays, A.A. Kalentyev, I.M. Dobush, L.I. Babak, A.A. Kokolov // 2017 IEEE Asia Pacific Microwave Conference (APMC). – IEEE, 2017. – P. 1262–1264 – DOI:10.1109/APMC.2017.8251690.

74. Kalentyev, A.A. Genetic-algorithm-based synthesis of low-noise amplifiers with automatic selection of active elements and DC biases / A.A. Kalentyev, L.I. Babak, D. V. Garays // European Microwave Week 2014:

Connecting the Future, EuMW 2014 - Conference Proceedings; EuMC 2014: 44th European Microwave Conference. – 2014. – P. 1464–1467 – DOI:10.1109/EuMC.2014.6986724.

75. Babak, L.I. A new genetic-algorithm-based technique for low noise amplifier synthesis / L.I. Babak, A.A. Kokolov, A.A. Kalentyev, D. V Garays // 2012 7th European Microwave Integrated Circuit Conference. – 2012. – P. 381–384.

76. Babak, L.I. Synthesis of matching networks for microwave active circuits based on genetic algorithm / L.I. Babak, V.A. Vjushkov, S.Y. Dorofeev, A.A. Kalentyev, D. V. Garays, A.E. Goryainov // Microwave and Optical Technology Letters. – 2014. – Vol. 56 – № 11 – P. 2719–2722 – DOI:10.1002/mop.28683.

77. Sherwin, M.E. An All Implanted Self-Aligned Enhancement Mode n-JFET with Zn Gates for GaAs Digital Applications / M.E. Sherwin, J.C. Zolper, A.G. Baca, R.J. Shul, A.J. Howard, D.J. Rieger, J.F. Klem, V.M. Hietala // IEEE Electron Device Letters. – 1994. – Vol. 15 – № 7 – P. 242–244 – DOI:10.1109/55.294083.

78. Bhattacharya, D. Gallium arsenide digital integrated circuits / D. Bhattacharya // Bulletin of Materials Science. – 1990. – Vol. 13 – № 1–2 – P. 135–150 – DOI:10.1007/BF02744867.

79. Chang, C.T.M. GaAs HBT's for high-speed digital integrated circuit applications / C.T.M. Chang, Han-Tzong Yuan // Proceedings of the IEEE. – 1993. – Vol. 81 – № 12 – P. 1727–1743 – DOI:10.1109/5.248961.

80. Meliani, C. Switch-mode amplifier ICs with over 90% efficiency for Class-S PAs using GaAs-HBTs and GaN-HEMTs / C. Meliani, J. Flucke, A. Wentzel, J. Würfl, W. Heinrich, G. Tränkle // IEEE MTT-S International Microwave Symposium Digest. – 2008. – P. 751–754 – DOI:10.1109/MWSYM.2008.4632941.

81. Long, S.I. Noise-margin limitations on gallium-arsenide VLSI / S.I. Long, M. Sundaram // IEEE Journal of Solid-State Circuits. – 1988. – Vol. 23 – № 4 – P. 893–900 – DOI:10.1109/4.339.

82. Curtice, W.R. A MESFET Model for Use in the Design of GaAs Integrated Circuits / W.R. Curtice // IEEE Transactions on Microwave Theory and

Techniques. – 1980. – Vol. 28 – № 5 – P. 448–456 – DOI:10.1109/TMTT.1980.1130099.

83. Khandelwal, S. ASM GaN: Industry Standard Model for GaN RF and Power Devices—Part 1: DC, CV, and RF Model / S. Khandelwal, Y.S. Chauhan, T.A. Fjeldly, S. Ghosh, A. Pampori, D. Mahajan, R. Dangi, S.A. Ahsan // IEEE Transactions on Electron Devices. – IEEE, 2019. – Vol. 66 – № 1 – P. 80–86 – DOI:10.1109/TED.2018.2867874.

84. Radhakrishna, U. MIT virtual source GaNFET-high voltage (MVSG-HV) model: A physics based compact model for HV-GaN HEMTs / U. Radhakrishna, T. Imada, T. Palacios, D. Antoniadis // Physica Status Solidi (C) Current Topics in Solid State Physics. – 2014. – Vol. 11 – № 3–4 – P. 848–852 – DOI:10.1002/pssc.201300392.

85. McCamant, A.J. An improved GaAs MESFET model for SPICE / A.J. McCamant, G.D. McCormack, D.H. Smith // IEEE Transactions on Microwave Theory and Techniques. – 1990. – Vol. 38 – № 6 – P. 822–824 – DOI:10.1109/22.130988.

86. Angelov, I. A new empirical nonlinear model for HEMT and MESFET devices / I. Angelov, H. Zirath, N. Rosman // IEEE Transactions on Microwave Theory and Techniques. – 1992. – Vol. 40 – № 12 – P. 2258–2266 – DOI:10.1109/22.179888.

87. Seshadri, S. Fabless-foundry partnerships: research on coordination issues / S. Seshadri, J.G. Shanthikumar, R.K. Nurani, A. Chatterjee // 1997 IEEE/SEMI Advanced Semiconductor Manufacturing Conference and Workshop ASMC 97 Proceedings. – IEEE, 1997. – P. 386–390 – DOI:10.1109/ASMC.1997.630767.

88. Altay, M. Comparison and Evaluation of Various Mesfet Models / M. Altay // Fusion Science and Technology. – 2005. – Vol. 48 – № 1 – 200–203 p.

89. Smith, D.H. TOM-2 : An Improved Model for GaAs MESFETs / D.H. Smith. – 1995. – P. 1–11.

90. Hallgren, R.B. TOM3 capacitance model: linking large- and small-signal MESFET models in SPICE / R.B. Hallgren, P.H. Litzenberg // IEEE

Transactions on Microwave Theory and Techniques. – 1999. – Vol. 47 – № 5 – P. 556–561 – DOI:10.1109/22.763155.

91. Angelov, I. Extensions of the Chalmers nonlinear HEMT and MESFET model / I. Angelov, L. Bengtsson, M. Garcia // IEEE Transactions on Microwave Theory and Techniques. – 1996. – Vol. 44 – № 10 – P. 1664–1674 – DOI:10.1109/22.538957.

92. Keysight PathWave ADS documentation [Электронный ресурс]. – 2022. – URL: <https://edadocs.software.keysight.com/ads2022update1> (дата обращения: 13.04.2022). // Assembly. – P. 4935.

93. Balijepalli, A. Large-signal modeling of SOI MESFETs / A. Balijepalli, R. Vijayaraghavan, J. Ervin, J. Yang, S.K. Islam, T.J. Thornton // Solid-State Electronics. – 2006. – Vol. 50 – № 6 – P. 943–950 – DOI:10.1016/j.sse.2006.05.012.

94. Berroth, M. High-Frequency Equivalent Circuit of Gaas Fet's for Large-Signal Applications / M. Berroth, R. Bosch // IEEE Transactions on Microwave Theory and Techniques. – 1991. – Vol. 39 – № 2 – P. 224–229 – DOI:10.1109/22.102964.

95. Свидетельство о государственной регистрации программы для ЭВМ № 2019661465 Российская Федерация. Программный модуль САПР для экстракции параметров малосигнальных моделей транзисторов Smart HEMT Modeling : № 2019660415 : заявл. 23.08.2019 : опубл. 02.09.2019 / **Д.В. Билевич**, А.Е. Горяинов, И.М. Добуш, А.А. Калентьев, А.А. Попов, А.С. Сальников ; заявитель Общество с ограниченной ответственностью “50ом Технолоджиз”. – EDN: DNQLSB

96. **Билевич, Д.В.** Тестирование автоматической методики построения и верификации нелинейной модели GaAs HEMT-транзисторов / **Д.В. Билевич**, А.А. Попов, А.С. Сальников, И.М. Добуш, А.Е. Горяинов, А.А. Калентьев // Электронные средства и системы управления. – 2018. – Vol. 1 – № 1 – P. 47–50.

97. Калентьев, А.А. Алгоритм автоматического построения малосигнальной модели GaAs pHEMT-транзистора и его реализация в САПР / А.А. Калентьев, **Д.В. Билевич**, А.С. Сальников, А.А. Попов, И.М. Добуш, А.Е.

Горяинов // 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули». – 2019. – P. 342–345.

98. Popov, A. An assessment of automated extraction capabilities for small-signal modeling of various GaAs pHEMT processes / A. Popov, **D. Bilevich**, A. Salnikov, I. Dobush, A. Goryainov, A. Kalentyev // ITM Web of Conferences / ed. by P. Yermolov. – 2019. – Vol. 30 – P. 01001 – DOI:10.1051/itmconf/20193001001.

99. **Bilevich, D. V** Automatic Extraction Technique for Large-Signal GaAs HEMT Modeling / **D. V Bilevich**, A.A. Popov, A.S. Salnikov, I.M. Dobush, A.A. Kalentyev, A.E. Goryainov, D. V Garais // 28 international conference “Microwave & Telecommunication Technology” (CriMiCo’2018). – P. 86–92.

100. Lee, C.-D. Design of a Serial-to-Parallel Converter Using GaAs pHEMT / C.-D. Lee, D. Lee, K. Yeom // The Journal of Korean Institute of Electromagnetic Engineering and Science. – 2018. – Vol. 29 – № 3 – P. 171–183 – DOI:10.5515/KJKIEES.2018.29.3.171.

101. Wang, K. Design of a Low-Insertion-Phase-Shift MMIC Attenuator Integrated With a Serial-to-Parallel Converter / K. Wang, Z. Wang, G. Wang, H. Chen, Q. Zheng, F. Yu // IEICE Electronics Express. – 2017. – Vol. 14 – № 20 – P. 20170924–20170924 – DOI:10.1587/elex.14.20170924.

102. Jeong, J.-C. A 6–18-GHz GaAs Multifunction Chip With 8-bit True Time Delay and 7-bit Amplitude Control / J.-C. Jeong, I.-B. Yom, J.-D. Kim, W.-Y. Lee, C.-H. Lee // IEEE Transactions on Microwave Theory and Techniques. – 2018. – Vol. 66 – № 5 – P. 2220–2230 – DOI:10.1109/TMTT.2017.2786698.

103. Свидетельство о государственной регистрации топологии микросхемы № 2022630022 Российская Федерация. Монолитная интегральная схема GaAs pHEMT динамического D-триггера типа BFL FOLSP2ADFF : № 2022630016 : заявл. 02.02.2022 : опубл. 08.02.2022 / **Д. В. Билевич**, А. С. Сальников, А. А. Метель ; заявитель Общество с ограниченной ответственностью "50ом Технолоджиз". – EDN QFJOSC.

104. Свидетельство о государственной регистрации топологии микросхемы № 2022630031 Российская Федерация. Монолитная интегральная схема GaAs pHEMT одноразрядного последовательно-параллельного

преобразователя типа BFL FOLSP2ABIT : № 2022630018 : заявл. 02.02.2022 : опубл. 09.02.2022 / **Д. В. Билевич**, А. С. Сальников, И. М. Добуш [и др.] ; заявитель Общество с ограниченной ответственностью "50ом Технолоджиз". – EDN JYAEWS.

105. **Bilevich, D. V.** A Comparison of The Different Gaas Phemt Logic Families Characteristics / **D. V. Bilevich**, A.S. Salnikov, A.A. Popov, A.A. Kalentyev, A.E. Goryainov // 2021 Dynamics of Systems, Mechanisms and Machines (Dynamics). – IEEE, 2021. – P. 1–5 – DOI:10.1109/Dynamics52735.2021.9653462.

106. **Bilevich, D. V** The Experimental Circuits of D-Mode GaAs pHEMT Serial-to-Parallel Converter Blocks / **D. V Bilevich**, A.S. Salnikov, I.M. Dobush // 2022 International Siberian Conference on Control and Communications (SIBCON). – IEEE, 2022. – P. 1–6 – DOI:10.1109/SIBCON56144.2022.10002977.

107. Ramella, C. GaAs-Based Serial-Input-Parallel-Output Interfaces for Microwave Core-Chips / C. Ramella, M. Estebarsari, A. Nasri, M. Pirola // Electronics. – 2021. – Vol. 10 – № 23 – P. 3029 – DOI:10.3390/electronics10233029.

108. Свидетельство о государственной регистрации топологии микросхемы № 2022630021 Российская Федерация. Монолитная интегральная схема GaAs pHEMT оконечного каскада драйвера цифрового управления ключевыми транзисторами FOLSP2AOVT : № 2022630017 : заявл. 02.02.2022 : опубл. 08.02.2022 / А. С. Сальников, **Д. В. Билевич**, А. А. Попов ; заявитель Общество с ограниченной ответственностью "50ом Технолоджиз". – EDN MWZZKF.

109. Stesev, G. Serial-to-Parallel Converter Using GaAs D-Mode Transistors / G. Stesev, D. Budanov, E. Balashov // 2020 IEEE International Conference on Electrical Engineering and Photonics (EExPolytech). – IEEE, 2020. – P. 67–70 – DOI:10.1109/EExPolytech50912.2020.9243862.

110. Soto, A.T. A Robust Evolvable System for the Synthesis of Analog Circuits Un Sistema Evolutivo Robusto para la Síntesis de Circuitos Analógicos / A.T.



Soto, E.E. Ponce De León Sentí, A.H. Aguirre, M. Dolores, T. Soto, E. Díaz Díaz // *Computación y Sistemas*. – 2010. – Vol. 13 – № 4 – P. 409–421.

111. Rengasamy, Di. Asymmetric Loss Functions for Deep Learning Early Predictions of Remaining Useful Life in Aerospace Gas Turbine Engines / Di. Rengasamy, B. Rothwell, G.P. Figueredo // 2020 International Joint Conference on Neural Networks (IJCNN). – IEEE, 2020. – P. 1–7 – DOI:10.1109/IJCNN48605.2020.9207051.

112. Qi, J. Analyzing Upper Bounds on Mean Absolute Errors for Deep Neural Network-Based Vector-to-Vector Regression / J. Qi, J. Du, S.M. Siniscalchi, X. Ma, C.-H. Lee // *IEEE Transactions on Signal Processing*. – 2020. – Vol. 68 – P. 3411–3422 – DOI:10.1109/TSP.2020.2993164.

113. **Билевич, Д.В.** Разработка методики автоматического определения репрезентативного СВЧ-транзистора для усилительных применений в линейном режиме по частотным характеристикам при измерениях на полупроводниковой пластине / **Д.В. Билевич**, А.С. Сальников, А.Е. Горяинов // *Электронная техника, Сер.1, СВЧ-Техника*. – 2020. – Vol. 4 – № 547 – P. 98–107.

114. J. W. Tukey Exploratory Data Analysis / J. W. Tukey // *Biometrics*. – 1977. – Vol. 33 – 768 p.

115. Salnikov, A. A Golden Device Selection Algorithm for Microwave Monolithic Integrated Circuit Elements Modeling / A. Salnikov, **D. Bilevich**, A. Popov, I. Dobush, A. Kalentyev, A. Goryainov // 2022 Moscow Workshop on Electronic and Networking Technologies (MWENT). – IEEE, 2022. – P. 1–5 – DOI:10.1109/MWENT55238.2022.9802275.

**ПРИЛОЖЕНИЕ А**  
**(ОБЯЗАТЕЛЬНОЕ)**  
**АКТ ВНЕДРЕНИЯ**



634045, г. Томск,  
ул. Нефтяная,  
д. 11, к. 238

Тел: +7-923-408-0408  
E-mail: [alexey.kalentyev@50ohm.tech](mailto:alexey.kalentyev@50ohm.tech)

ОКПО 01605389, ОГРН 1167031056301, ИНН 7017398640, КПП 701701001

**АКТ О ВНЕДРЕНИИ**

результатов научно-исследовательской работы  
аспиранта ТУСУР Билевич Дмитрия Вячеславовича  
в хозяйственную деятельность предприятия

Билевич Д.В. разработал ряд блоков последовательно-параллельного цифрового драйвера управления СВЧ многофункциональных интегральных схем. В условиях технологических ограничений потребовалась разработка цифрового драйвера на основе GaAs рНЕМТ технологии с использованием исключительно нормально открытых транзисторов (D технология). Данные устройства гораздо меньше представлены в литературе, чем на основе E/D технологии. Тем не менее, литературный обзор и творческое переосмысление схемы позволило снизить потребление и сделать возможным создание таких драйверов. В дальнейшем развитии работы была разработана методика синтеза, в итоге было получено новое решение, превосходящее по комплексу характеристик первый вариант. Блоки были изготовлены и показали свою работоспособность.

Разработанные Дмитрием Вячеславовичем методики и устройства используются в деятельности предприятия. Полученные результаты успешно применены в инициативной научно-исследовательской работе, а также при создании результатов интеллектуальной деятельности (3 свидетельства о регистрации программы для ЭВМ и 5 свидетельств о регистрации топологии интегральных микросхем).

Директор ООО «50ом Тех.»



/ Калентьев А.А. /  
25.04.2022

ПРИЛОЖЕНИЕ Б  
(СПРАВОЧНОЕ)

СВИДЕТЕЛЬСТВА О ГОСУДАРСТВЕННОЙ РЕГИСТРАЦИИ  
ТОПОЛОГИЙ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

РОССИЙСКАЯ ФЕДЕРАЦИЯ



СВИДЕТЕЛЬСТВО

о государственной регистрации  
топологии интегральной микросхемы  
№ 2022630031

Монолитная интегральная схема GaAs рНЕМТ  
одноразрядного последовательно-параллельного  
преобразователя типа BFL FOLSP2ABIT

Правообладатель: *Общество с ограниченной ответственностью  
"50ом Технолоджиз" (RU)*

Авторы: *Билевич Дмитрий Вячеславович (RU), Сальников  
Андрей Сергеевич (RU), Добуш Игорь Мирославович (RU),  
Калентьев Алексей Анатольевич (RU), Горяинов Александр  
Евгеньевич (RU)*

Заявка № 2022630018

Дата поступления 02 февраля 2022 г.

Дата государственной регистрации в Реестре топологий  
интегральных микросхем 09 февраля 2022 г.

Дата окончания срока действия

исключительного права 09 февраля 2032 г.



Руководитель Федеральной службы  
по интеллектуальной собственности

Г.П. Ивлиев



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ  
(12) ГОСУДАРСТВЕННАЯ РЕГИСТРАЦИЯ  
ТОПОЛОГИИ ИНТЕГРАЛЬНОЙ МИКРОСХЕМЫ

Номер регистрации (свидетельства):

2022630031

Дата регистрации: 09.02.2022

Номер и дата поступления заявки:

2022630018 02.02.2022

Дата публикации: 09.02.2022

Контактные реквизиты:

**И.М. Добуш**, тел.: +7-923-402-  
9286, адрес электронной почты:  
**igor.dobush@50ohm.tech**

Срок действия исключительного

права истекает: 09.02.2032

Авторы:

**Билевич** Дмитрий Вячеславович (RU),  
**Сальников** Андрей Сергеевич (RU),  
**Добуш** Игорь Мирославович (RU),  
**Калентьев** Алексей Анатольевич (RU),  
**Горяинов** Александр Евгеньевич (RU)

Правообладатель:

**Общество с ограниченной ответственностью**  
**"50ом Технолоджиз" (RU)**

Название топологии интегральной микросхемы:

**Монолитная интегральная схема GaAs pHEMT одноразрядного последовательно-параллельного преобразователя типа BFL FOLSP2ABIT**

**Реферат:**

ИМС представляет собой GaAs монолитную интегральную схему, выполненную на основе гетероструктурной 0,25 мкм pHEMT технологии. Функционально ИМС является преобразователем последовательного сигнала управления уровня TTL в параллельный сигнал управления устройствами с переменными состояниями. ИМС включает в себя входной преобразователь напряжения, регистр сдвига, регистр хранения и выходной преобразователь напряжения. ИМС предназначена для использования в составе многоуровневого последовательно-параллельного драйвера цифрового управления устройствами с переменными состояниями (ступенчатыми аттенюаторами, ступенчатыми фазовращателями, коммутаторами). Область применения: СВЧ многофункциональные интегральные схемы. Технические характеристики: входные уровни логического нуля 0 В, логической единицы 5 В. Выходные уровни логического нуля минус 3,5 В, логической единицы 0,2 В. Сигналы управления: тактирующий CLK, сигнал разрешения записи LE. Ток потребления 9,9 мА при напряжении питания ±5 В, потребляемая мощность 49,5 мВт. Размеры кристалла: 0,92 мм×2,14 мм.

РОССИЙСКАЯ ФЕДЕРАЦИЯ



## СВИДЕТЕЛЬСТВО

о государственной регистрации  
топологии интегральной микросхемы  
№ 2022630022

**Монолитная интегральная схема GaAs pHEMT  
динамического D-триггера типа BFL FOLSP2ADFF**

Правообладатель: *Общество с ограниченной  
ответственностью "50ом Технолоджиз" (RU)*

Авторы: *Билевич Дмитрий Вячеславович (RU), Сальников  
Андрей Сергеевич (RU), Метель Александр Андреевич  
(RU)*

Заявка № 2022630016

Дата поступления 02 февраля 2022 г.

Дата государственной регистрации в Реестре топологий  
интегральных микросхем 08 февраля 2022 г.

Дата окончания срока действия

исключительного права 08 февраля 2032 г.



Руководитель Федеральной службы  
по интеллектуальной собственности

Г.П. Ивлиев



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ГОСУДАРСТВЕННАЯ РЕГИСТРАЦИЯ  
ТОПОЛОГИИ ИНТЕГРАЛЬНОЙ МИКРОСХЕМЫ

Номер регистрации  
(свидетельства):  
**2022630022**

Дата регистрации: **08.02.2022**

Номер и дата поступления заявки:  
**2022630016 02.02.2022**

Дата публикации: **08.02.2022**

Контактные реквизиты:  
И.М. Добуш, тел.: +7-923-402-  
9286, адрес электронной почты:  
**igor.dobush@50ohm.tech**

Срок действия исключительного  
права истекает: **08.02.2032**

Авторы:

**Билевич** Дмитрий Вячеславович (RU),  
Сальников Андрей Сергеевич (RU),  
Метель Александр Андреевич (RU)

Правообладатель:

Общество с ограниченной ответственностью "50ом  
Технолоджиз" (RU)

Название топологии интегральной микросхемы:

Монолитная интегральная схема GaAs pHEMT динамического D-триггера типа BFL FOLSP2ADFF

**Реферат:**

ИМС представляет собой GaAs монолитную интегральную схему, выполненную на основе гетероструктурной 0,25 мкм pHEMT-технологии. Функционально ИМС является динамическим, работающим по отрицательному фронту тактового сигнала D-триггером. Применяется схемотехника типа BFL. ИМС предназначена для реализации регистров хранения двоичной информации в цифровых схемах. Область применения: СВЧ-многофункциональные интегральные схемы. Технические характеристики: уровень логического нуля минус 2 В, уровень логической единицы 0 В. Ток потребления 3,35 мА при напряжении питания  $\pm 5$  В, потребляемая мощность 16,8 мВт. Размеры кристалла: 1,29 мм x 0,86 мм.

## РОССИЙСКАЯ ФЕДЕРАЦИЯ



## СВИДЕТЕЛЬСТВО

о государственной регистрации  
топологии интегральной микросхемы

**№ 2022630021**

**Монолитная интегральная схема GaAs pHEMT оконечного  
каскада драйвера цифрового управления ключевыми  
транзисторами FOLSP2AOVT**

Правообладатели: *Общество с ограниченной ответственностью  
"50ом Технолоджиз" (RU)*

Авторы: *Сальников Андрей Сергеевич (RU), Билевич Дмитрий  
Вячеславович (RU), Попов Артем Александрович (RU)*

Заявка № **2022630017**

Дата поступления **02 февраля 2022 г.**

Дата государственной регистрации в Реестре топологий  
интегральных микросхем **08 февраля 2022 г.**

Дата начала срока действия исключительного права  
**08 февраля 2022 г.**



Руководитель Федеральной службы  
по интеллектуальной собственности

Ю.С. Зубов



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ  
(12) ГОСУДАРСТВЕННАЯ РЕГИСТРАЦИЯ  
ТОПОЛОГИИ ИНТЕГРАЛЬНОЙ МИКРОСХЕМЫ

Номер регистрации (свидетельства): 2022630021 Дата регистрации: 08.02.2022 Номер и дата поступления заявки: 2022630017 02.02.2022 Дата публикации: 08.02.2022 Контактные реквизиты: И.М. Добуш, тел.: +7-923-402-9286, адрес электронной почты: igor.dobush@50ohm.tech Срок действия исключительного права истекает: 08.02.2032	Авторы: Сальников Андрей Сергеевич (RU), Билевич Дмитрий Александрович (RU), Попов Артем Александрович (RU) Правообладатель: Общество с ограниченной ответственностью "50ом Технолоджиз" (RU)
--	---

Название топологии интегральной микросхемы:  
Монолитная интегральная схема GaAs pHEMT оконечного каскада драйвера цифрового управления ключевыми транзисторами FOLSP2AOVT

**Реферат:**

ИМС представляет собой GaAs монолитную интегральную схему, выполненную на основе гетероструктурной 0,25 мкм pHEMT-технологии. Функционально ИМС является преобразователем уровня напряжения логического сигнала. ИМС предназначена для использования в составе драйвера цифрового управления устройствами с переменными состояниями (ступенчатыми аттенюаторами, ступенчатыми фазовращателями, коммутаторами). Область применения: СВЧ-многофункциональные интегральные схемы. Технические характеристики: логический уровень нуля на входе минус 2, уровень единицы на входе 0 В. Формируемые на выходе уровни напряжения: логического нуля минус 3,5 В, логической единицы 0,15 В. Ток потребления 1,2 мА при напряжении питания = 5 В, потребляемая мощность 6 мВт. Размеры кристалла: 0,84 мм x 0,57 мм.

Извещения об изменениях сведений о зарегистрированной топологии интегральной микросхемы

**Другие изменения**

Изменения в поле: Авторы:  
Сальников Андрей Сергеевич (RU)  
Билевич Дмитрий Вячеславович (RU)  
Попов Артем Александрович (RU)

Изменения в поле: Правообладатели:  
Общество с ограниченной ответственностью "50ом Технолоджиз" (RU)

Дата внесения записи в Реестр: 14.06.2023

Дата публикации и номер бюллетеня: 14.06.2023 Бюл. №6