

На правах рукописи



БИЛЕВИЧ ДМИТРИЙ ВЯЧЕСЛАВОВИЧ

**ПРОЕКТИРОВАНИЕ И СИНТЕЗ ДРАЙВЕРОВ
УПРАВЛЕНИЯ ДЛЯ МНОГОФУНКЦИОНАЛЬНЫХ
ИНТЕГРАЛЬНЫХ СХЕМ СВЧ ДИАПАЗОНА
НА ОСНОВЕ GAAS PHEMT ТЕХНОЛОГИИ**

Специальности 2.2.14 – Антенны, СВЧ-устройства и их технологии

АВТОРЕФЕРАТ

диссертации на соискание ученой степени
кандидата технических наук

Томск – 2023

Работа выполнена в Федеральном государственном бюджетном образовательном учреждении высшего образования «Томский государственный университет систем управления и радиоэлектроники» (ТУСУР)

Научный руководитель: кандидат технических наук
Сальников Андрей Сергеевич

Официальные оппоненты: **Разинкин Владимир Павлович**
доктор технических наук, ФГБОУ ВО
«Новосибирский государственный
технический университет», г. Новосибирск,
Профессор кафедры теоретических основ
радиотехники

Антипов Владимир Борисович
кандидат физико-математических наук,
«Сибирский физико-технический институт
имени академика В.Д. Кузнецова Томского
государственного университета», г. Томск,
Инженер-исследователь лаборатории
медицинских сплавов и имплантатов с
памятью формы

Ведущая организация: Акционерное общество «**Центральное
конструкторское бюро автоматики**»,
г. Омск

Защита состоится «26» декабря 2023 г. в 11 часов 30 минут на заседании диссертационного совета 24.2.415.01, созданного на базе Томского государственного университета систем управления и радиоэлектроники, по адресу 634050, г. Томск, пр. Ленина, 40, ауд. 201.

С диссертацией можно ознакомиться в библиотеке ТУСУРа по адресу: 634045, г. Томск, ул. Красноармейская, 146, и на официальном сайте: <https://postgraduate.tusur.ru/urls/ljq682oy>

Автореферат разослан «___» _____ 2023 г.

Ученый секретарь
диссертационного совета
канд. техн. наук



А.Е. Мандель

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы исследования. В современном мире технологии беспроводной передачи данных развиваются с высокой скоростью, и каждый год темпы роста таких технологий только увеличиваются. Для беспроводной передачи информации используются полупроводниковые приёмо-передающие модули (ППМ). Реализация ППМ в виде многофункциональных интегральных схем СВЧ-диапазона позволяет снизить потребляемую мощность и уменьшить габариты устройств за счет высокой степени интеграции. Такие модули могут включать функциональные блоки фильтрации, преобразования частоты, усиления, а также управления фазой и амплитудой сигналов. К устройствам управления относятся коммутаторы, аттенюаторы, фазовращатели, которые далее будут называться устройствами с переменными состояниями. Разрядность устройств с переменными состояниями определяется количеством секций, входящих в их состав, и задает число коммутируемых выходов, шаг и диапазон управления амплитудой и фазой. Такие устройства изменяют амплитуду и фазу проходящего через них сигнала на величину, задаваемую управляющим сигналом. Каждая из секций управляется при помощи ключевых устройств, например, транзисторов. Большинство схем устройств с переменными состояниями требуют формирования одновременно как прямого, так и инверсного управляющего сигнала. Такую пару называют парафазными сигналами. Электрическая схема управления состояниями устройств с переменными состояниями называется драйвером.

Использование внешних драйверов управления приводит к снижению надежности и увеличению конечных габаритов ППМ, поэтому в некоторых решениях драйверы управления интегрируются в ППМ. Сложность реализации интегрированных драйверов управления на основе GaAs технологий заключается в меньшем количестве слоёв металлизации и больших топологических нормах, чем в кремнии, что увеличивает габариты, энергопотребление подобных схем и требует иного подхода к проектированию.

Большинство современных схем драйверов управления на основе GaAs технологии изготавливаются с использованием одновременно нормально открытых (НО) и нормально закрытых (НЗ) транзисторов, что позволяет получить схемы управления с минимальными габаритами и потребляемой мощностью. Основным требованием к транзисторам для таких схем является минимальный разброс напряжения отсечки и тока насыщения, который достаточно сложно контролировать в ходе технологического процесса из-за большого количества технологических операций. Толщина канала в НЗ транзисторах значительно меньше по сравнению с НО транзисторами. Таким образом, относительно небольшое отклонение данного параметра при изготовлении НЗ транзистора может значительно повлиять на характеристики

прибора. Исключение необходимости изготавливать НЗ транзисторы позволяет увеличить процент выхода годных схем, а также снизить стоимость производства многофункциональных интегральных схем СВЧ-диапазона (СВЧ МФИС).

Схемы управления, спроектированные без использования НЗ транзисторов существуют, но их основными недостатками является большая занимаемая площадь и более высокая потребляемая мощность. Если получится нивелировать данные недостатки, то расширится количество технологий, которые подходят для изготовления интегрированных драйверов управления и, как следствие, проектирования компактныхППМ. Поэтому усовершенствование существующих схем управления на основе исключительно НО транзисторов является актуальной темой для исследования.

При проектировании схем управления на основе GaAs технологии основной задачей разработчика является проектирование базовой логической ячейки — инвертора. От выбранной схемы инвертора будут зависеть характеристики конечной логической схемы. Чтобы достигнуть лучших параметров, при проектировании инвертора инженер пробует множество решений. Из-за низкой популярности логических схем на основе исключительно НО транзисторах, методы проектирования таких схем не формализованы. При проектировании могут применяться автоматизированные методики, при этом повышение степени автоматизации ускоряет разработку. Несмотря на высокую степень внедрения различных методов автоматизации проектирования кремниевых логических схем, их затруднительно использовать для проектирования GaAs драйверов управления из-за больших топологических норм, меньшего числа уровней металлизации и отсутствия библиотек стандартных логических ячеек. Поскольку нет стандартной логической ячейки, проблема, по сути, переходит в область разработки базовой логической ячейки инвертора, то есть аналоговой схемотехники. Таким образом, разработка методики синтеза схем управления на основе GaAs технологии является актуальной задачей.

Как при проектировании, так и при синтезе драйвера управления значительное время уходит на моделирование его характеристик. При оптимизации схемы в САПР и синтезе характеристики рассчитываются многократно, и эффект от ускорения моделирования умножается на число итераций. Наиболее сложным для моделирования элементом является нелинейная модель транзистора. Обычно для GaAs технологических процессов используются модели, ориентированные на расчет характеристик в частотной области, а при проектировании логических схем используются характеристики во временной области. Таким образом, при моделировании характеристик транзисторов на стандартных моделях происходит замедление расчета или вообще его невозможность из-за проблем сходимости расчетных

алгоритмов. Поэтому подбор нелинейной модели транзистора для расчета характеристик логических схем является также актуальной задачей.

На основе вышеизложенного можно сформулировать цель и основные задачи исследования.

Цель работы. Проектирование и разработка методики синтеза драйвера управления СВЧ многофункциональных интегральных схем на основе GaAs рНЕМТ технологии с использованием исключительно нормально открытых транзисторов.

Поставленная цель достигается решением следующих основных задач:

1. Исследование принципов проектирования схем управления для СВЧ МФИС на основе GaAs рНЕМТ технологии.
2. Исследование и сравнительный анализ существующих типов логических схем на основе GaAs рНЕМТ технологии.
3. Разработка методики синтеза для автоматизации процесса проектирования драйвера управления для СВЧ МФИС на основе GaAs рНЕМТ технологии.
4. Исследование и сравнительный анализ моделей транзисторов подходящих для быстрого и точного моделирования логических схем на основе GaAs рНЕМТ технологии с целью ускорения автоматизированного процесса проектирования.

Научная новизна диссертационного исследования заключается в следующем:

1. Предложена новая схема инвертора на основе НО транзисторов, которая обладает низкой потребляемой мощностью и приемлемыми габаритами в сравнении с известными решениями.
2. Впервые предложена методика синтеза последовательно-параллельного драйвера управления на основе НО GaAs рНЕМТ-транзисторов с применением генетических алгоритмов.
3. Доказано, что модель ТОМЗ позволяет достичь наибольшей скорости моделирования характеристик во временной области без ухудшения его точности среди наиболее используемых моделей GaAs рНЕМТ-транзисторов.

Положения, выносимые на защиту:

1. Предложенная схема инвертора с буферным каскадом на полевых транзисторах позволила снизить потребляемую мощность на 32% по сравнению с известными схемотехническими решениями.
2. Разработанная методика синтеза, на основе генетического алгоритма, позволяет получить схему последовательно-параллельного драйвера, выполняемого на основе нормально-открытых GaAs рНЕМТ транзисторов, оптимальную по комплексу характеристик, а именно по уровням напряжений, быстродействию, занимаемой площади и потребляемой мощности.
3. Замена модели транзистора из библиотеки элементов на построенную модель позволяет уменьшить время синтеза последовательно-параллельного

драйвера в 2 раза без снижения точности расчета характеристик за счет улучшения сходимости алгоритмов моделирования.

Достоверность научных результатов. Степень достоверности научных результатов подтверждается: применением современных методов научных исследований; значительным объёмом экспериментальных данных, полученных с помощью современного измерительного оборудования; хорощим согласованием экспериментальных и расчётных данных.

Практическая значимость работы заключается в следующем:

1. Разработанные методики позволяют упростить и автоматизировать разработку драйверов управления на основе GaAs рНЕМТ технологии.

2. Предложенная структура инвертора на основе буферного типа логики позволяет снизить потребляемую мощность логических устройств на основе НО GaAs рНЕМТ транзисторов.

3. С использованием разработанной методики синтеза спроектирован и изготовлен последовательно-параллельный драйвер управления на основе GaAs рНЕМТ технологии. Потребляемая мощность одного разряда драйвера равна 44,5 мВт (оценка для 12-ти разрядного драйвера – 357 мВт).

Апробация работы. Основные результаты диссертационного исследования докладывались и обсуждались на следующих конференциях: Международная Крымская конференция «СВЧ-техника и телекоммуникационные технологии» (КрыМиКо), г. Севастополь, 2018 г.; Международный форум «Микроэлектроника-2019» 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули», г. Алушта, 2019 г.; Международная IEEE научно-техническая конференция «Динамика систем, механизмов и машин» (Dynamics), г. Омск, 2021 г. Международная IEEE-сибирская конференция по управлению и связи (SIBCON — 2022).

Публикации. По результатам проведённых исследований опубликовано 12 научных работ, в том числе 3 – в журналах, рекомендованных ВАК, 5 – в изданиях индексируемых в WoS/Scopus, 3 свидетельства о регистрации топологии интегральных микросхем.

Личный вклад автора. Все результаты, представленные в диссертационном исследовании, получены автором лично либо при его непосредственном участии. В работах, опубликованных в соавторстве, автором получены существенные теоретические и практические результаты.

Структура и объём диссертации. Диссертация состоит из введения, четырёх разделов, заключения, списка использованных источников, включая список публикаций по теме исследования. Работа изложена на 136 страницах машинописного текста, содержит 75 рисунков и 7 таблиц. Список использованных источников включает 115 наименований.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы, отмечены современные тенденции и проблемы в области проектирования логических схем на основе GaAs технологии, определены цели и задачи исследования, показаны научная новизна и практическая значимость работы, приводятся положения, выносимые на защиту.

В первом разделе проводится обзор существующих подходов к проектированию логических схем на основе GaAs pHEMT технологии, применяемых в многофункциональных интегральных схемах СВЧ-диапазона. Рассматриваются различные типы логических схем, а также различных модели транзисторов, позволяющих проводить моделирование характеристик таких схем.

По результатам обзора установлено, что наблюдается тенденция к усовершенствованию логических схем на основе GaAs pHEMT технологии. Возможность изготовления таких схем позволит повысить надежность и улучшить характеристики многофункциональных интегральных схем СВЧ-диапазона, так как позволит изготавливать весь набор функциональных блоков на одном кристалле. Основной проблемой всех логических схем на основе GaAs технологии является высокое потребление и большая занимаемая площадь. Особенно ярко данная проблема выражена у логических схем, изготовленных по технологиям, в которых доступны только нормально открытые транзисторы.

Обзор показал, что существует множество различных типов логических схем, в которых не используются нормально закрытые транзисторы. Проектирование базовой логической ячейки является длительным процессом, в ходе которого инженер пробует множество решений. Для ускорения данного процесса применяются методы автоматизированного проектирования, так как иногда невозможно вручную получить решение за адекватное время.

При автоматизации процесса проектирования важно обеспечить высокую точность и скорость моделирования разрабатываемого решения.

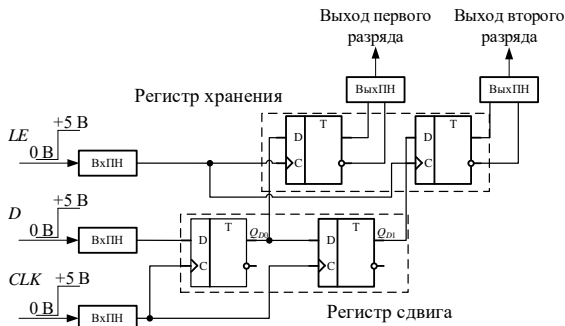


Рисунок 1 – Структура последовательно-параллельного драйвера управления

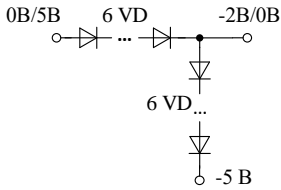


Рисунок 2 – Выбранная схема входного преобразователя напряжения

Самым сложным элементом рассматриваемых типов логических схем является полевой транзистор. Существует множество различных моделей транзисторов, однако сложность выбора заключается в том, что все модели разрабатывались для моделирования в частотной области, а основное проектирование логических схем ведётся во временной области, где многие модели могут сильно различаться по времени

моделирования, а иногда и вовсе приводить к ошибке вычислений.

В конце раздела формулируются основные задачи диссертационного исследования.

Во втором разделе рассматривается процесс проектирования драйвера управления и результаты измерений изготовленного решения.

В качестве драйвера управления был выбран последовательно-параллельный драйвер с наиболее популярной конфигурацией (рисунок 1). Требования к проектируемому драйверу управления формируются в зависимости от характеристик устройств с переменными состояниями. Проектируемый драйвер предназначался для управления ранее разработанной секцией аттенюатора, управление которой осуществлялось по сигналу уровня (минус 3 В/0 В). Сигнал управления всегда соответствует уровням ТТЛ-логики. Требования к драйверу управления представлены в таблице 1.

Таблица 1 – Требования к проектируемому драйверу управления

Параметр	Значение
Напряжение отрицательного питания	не менее -5 В
Напряжение положительного питания	не более 5 В
Входное напряжение	0 В/ 5 В
Выходное напряжение	-3 В/ 0 В
Потребляемая мощность на разряд	менее 100 мВт

Исходя из структуры драйвера управления, его проектирование сводится к проектированию трех схем: инвертор, входной преобразователь напряжения (ВхПН) и выходной преобразователь напряжения (ВыхПН). После разработки данных схем можно получить последовательно-параллельный драйвер управления произвольной разрядности.

Для выбора подходящего типа логических схем было проведено проектирование всех известных из литературы схем. Полученные решения оценивались по таким критериям как занимаемая площадь, потребляемая мощность, быстродействие и запас помехоустойчивости. Проектирование схем проводилось на основе 0,25 мкм GaAs pHEMT технологии АО «Светлана-Рост» (г. Санкт-Петербург). Важной особенностью данной технологии является возможность изготовления тонких пленок с высоким удельным

сопротивлением, что позволяет изготавливать компактные резисторы большого номинала. В ходе работы была доработана логическая схема на полевых транзисторах с буферным каскадом с использованием резисторов. Спроектированный инвертор обеспечивает выходные напряжения для логических уровней 0 В/-2 В и, соответственно, управляется идентичными напряжениями.

Основным требованием к ВыхПН является обеспечение перехода от управляющего сигнала с уровнями напряжения ТТЛ-логики до уровней напряжения спроектированного инвертора — 0 В/-2 В. Для изготовления входного преобразователя напряжения за основу была взята стандартная схема на основе диодов (рисунок 2а). Однако такая схема обладает высоким потреблением и малым размахом между логическими уровнями, не более 1,5 В, поэтому данная схема была доработана (рисунок 2б). Таким образом полученная схема позволяет обеспечить корректный переход от сигнала с уровнями напряжения ТТЛ-логики к уровням напряжения спроектированного инвертора.

Задача ВыхПН состоит в том, чтобы выполнить преобразование уровней напряжения инвертора в уровни напряжения, необходимые для управления переключаемыми транзисторами. Для обеспечения уровней напряжения было принято решение использовать стандартную схему инвертора БПТ типа с другими номиналами элементов (рисунок 3), позволяющими достигнуть требуемых значений уровней напряжения 0 В/-3 В.

На основе описанных выше схем были разработаны и изготовлены тестовые структуры ИЛИ-НЕ с двумя и тремя входами, D-триггер, четырёхразрядный регистр сдвига (РС) и разряд последовательно-параллельного драйвера управления.

Пластина с тестовыми структурами изготовлена по технологии GaAs pHEMT с топологической нормой 0,25 мкм АО «Светлана-Рост» (г. Санкт-Петербург). Всего было спроектировано и изготовлено 13 тестовых структур. Измерения изготовленных тестовых структур проводилось на территории АО «Светлана-Рост» с использованием следующих приборов: генератор сигналов произвольной формы АКПП 3413/3, осциллограф Rohde&Schwarz RTM 2054, параметрический анализатор Keysight B1500A, полуавтоматическая зондовая станция Summit 12000B-M.

Все структуры были изготовлены в трех экземплярах, для оценки

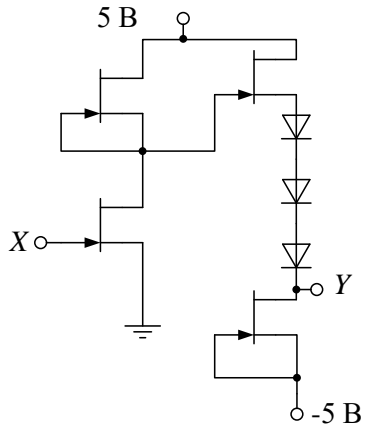


Рисунок 3 – Схема спроектированного ВыхПН

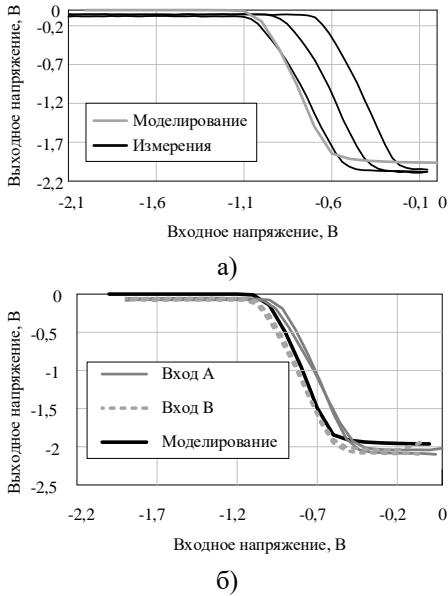


Рисунок 4 – Передаточная характеристика инвертора (а) и элемента ИЛИ-НЕ (б)

характеристики тестируемых схем. Это связано с большой ёмкостью используемых кабелей. Данная ёмкость вносит существенное влияние и приводит к большим задержкам и длительным фронтам, обусловленным несовершенством измерительной установки и методики измерения. Для более корректного сравнения характеристик к моделируемым схемам была добавлена модель коаксиального кабеля в каждую точку снятия характеристик.

Для проверки работоспособности разработанного решения было проведено сравнение измерений и моделирования динамического D -триггера (рисунок 6) и целого разряда драйвера (рисунок 7).

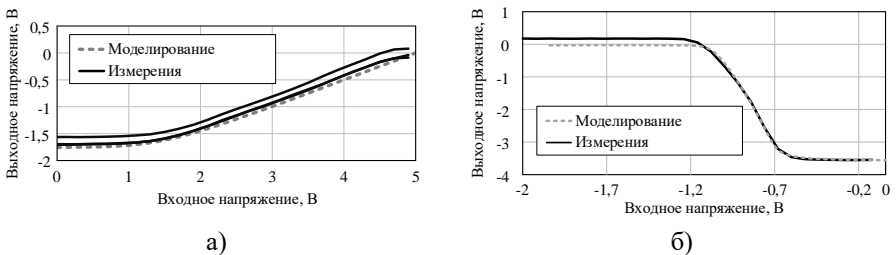


Рисунок 5 – Передаточная характеристика ВхПН (а) и ВыхПН (б)

технологического разброса. Результаты измерения инвертора показали технологический разброс характеристик на постоянном токе (рисунок 4а). Данное отклонение связано с разбросом напряжения отсечки транзистора. Однако данный параметр влияет в меньшей степени на характеристики элемента ИЛИ-НЕ (рисунок 4б).

Сравнение результатов измерений и моделирования преобразователей напряжения показало высокую повторяемость характеристик на постоянном токе (рисунок 5).

Стоит отметить, что результаты предварительных измерений показали, что коаксиальные кабели оказывают существенное влияние на

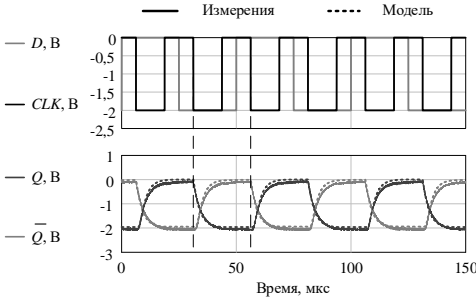
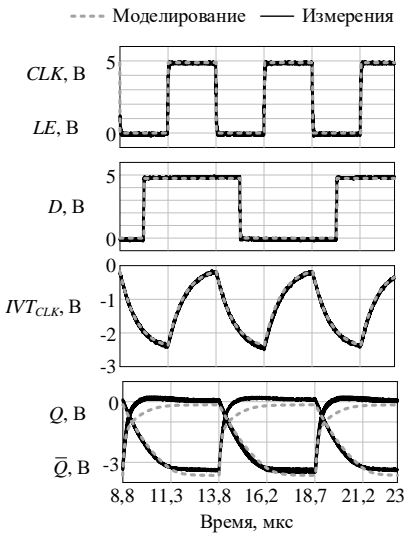


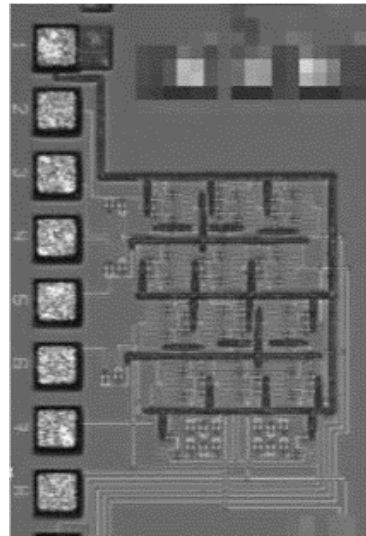
Рисунок 6 – Временные диаграммы D -триггера

Сравнение показало, что все измеренные структуры обладают большей потребляемой мощностью, чем было рассчитано при моделировании. Это связано с уменьшением удельного сопротивления резисторов.

В третьем разделе даётся подробное описание разработанной методики синтеза драйвера управления, проводится морфологический анализ синтезируемых схем, показано сравнение результатов моделирования спроектированного и синтезированных решений.



а)



б)

Рисунок 7 – Временные диаграммы (а) и микрофотография (б) разряда драйвера

Результаты показали высокую точность повторения заданных уровней напряжения на всех этапах прохождения сигнала через устройство. Также стоит отметить высокую точность повторения фронтов сигнала. Проверка способности к масштабированию была проверена на схеме четырехразрядного регистра сдвига, микрофотография тестовой структуры показана на рисунке 8 а временные диаграммы показаны на рисунке 9.

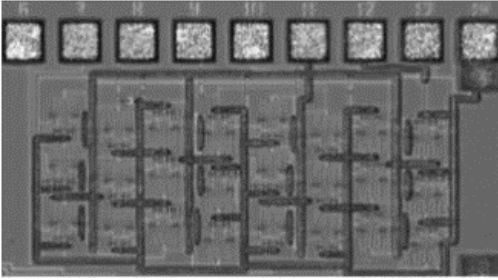


Рисунок 8 – Микрофотография тестовой структуры регистра сдвига

ВыхПН. После синтеза этих блоков, последовательно-параллельный драйвер произвольной разрядности можно получить по простому детерминированному алгоритму. Базовыми элементами логических схем выбранного типа являются транзисторы, резисторы и диоды. Граничные значения параметров элементов определяются технологическими возможностями и были взяты из библиотеки элементов. Число вариантов элементов выбрано так, чтобы шаг изменения топологии был равен 1 мкм. Источники питания в синтезируемых блоках представлены тремя значениями, которые используются в большинстве найденных в литературе последовательно-параллельных драйверов.

В данной работе было принято использовать подход на основе генетического алгоритма (ГА). Для оценки получаемых решений используется функция приспособленности (ФП), которая показывает, насколько полученное решение близко к требованиям по набору параметров.

На первом шаге синтеза происходит заполнение начальной популяции особями со случайными значениями генов. После заполнения начальной популяции происходит процесс отбора особей для скрещивания, для этого использовались два наиболее популярных оператора

Морфологический анализ позволяет определить пространство поиска, то есть множество всех возможных вариантов синтезируемой схемы. Электрические характеристики элемента ИЛИ-НЕ и инвертора идентичны.

Таким образом, задача синтеза драйвера управления может быть сведена к синтезу трех блоков: инвертора, ВхПН и

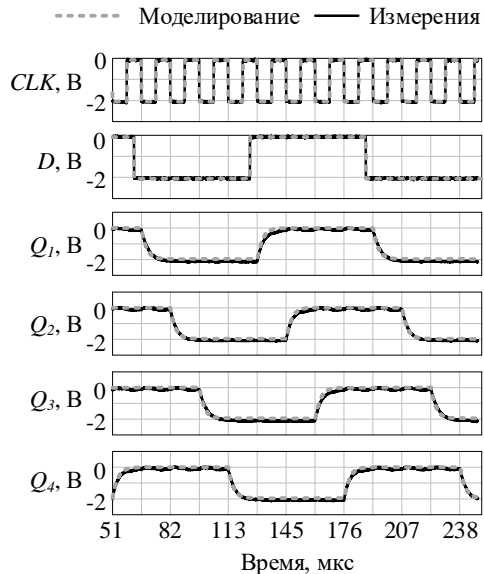


Рисунок 9 – Временные диаграммы регистра сдвига

отбора: элитарный и турнирный. Элитарный отбор означает, что в следующее поколение передается некоторое число особей с большей приспособленностью, их доля определяется параметром k . Между остальными особями проводится турнирный отбор, при котором сравниваются две случайные особи и та особь, которая имеет большую приспособленность, добавляется к уже отобраннным особям. По результатам турнирного отбора формируется множество родителей для применения оператора скрещивания. Оператор скрещивания случайным образом выбирает две особи и проводит обмен генами, выбранными также случайным образом. В скрещивании каждая особь может участвовать лишь один раз. С некоторой вероятностью в каждой особи возможна мутация, при которой в случайно выбранных генах значение изменяется на случайную величину. После процесса мутации происходит отбор n особей с лучшей приспособленностью, которые формируют следующее поколение. Все параметры ГА были определены экспериментально и представлены в таблице 2.

Стоит отметить, что остановка ГА происходит при достижении заданного количества поколений. Экспериментально установлено, что 30 поколений достаточно, чтобы найти решение.

Для оценки решения используется ФП на основе характеристик на постоянном и переменном токе, полученных путём моделирования в коммерческой САПР через интерфейс программирования приложения. На основе смоделированных характеристик рассчитываются критерии для расчета ФП.

Таблица 2 – Параметры ГА

Параметр	Значение
Размер популяции, n	300
Доля особей при элитарном отборе, k	0,01
Вероятность скрещивания, c %	30
Вероятность мутации, m %	10
Количество поколений, g	30

В процессе тестирования методики было проверено два варианта функции приспособленности. Сделано это было из-за того, что первый вариант функции приспособленности уступал разработанному инженером драйверу по всем параметрам.

Первый вариант функции приспособленности был реализован на основе функции среднеквадратичной ошибки:

$$FF = \sqrt{\frac{\sum_{i=1}^n (f_i(x_i))^2}{n}}, \quad (1)$$

$$f_i(x_i) = x_i - x_i^{\text{цель}}, \quad (2)$$

где $x_i, x_i^{\text{цель}}$ – текущее и целевое значение для i -го критерия поиска;
 n – количество критериев поиска.

Расчет характеристик проверяемого решения занимает от 3 до 5 секунд. В среднем 70% этого времени занимает расчет во временной области. Из-за особенностей кодирования генов, довольно часто появляются одинаковые особи, из-за чего происходит расчет уже известной величины ФП. Поэтому, для уменьшения времени синтеза был реализован поиск одинаковых решений и назначение им одинакового значения ФП, что позволило значительно уменьшить общее время синтеза на поздних поколениях ГА, где одинаковые особи начинают встречаться с большей вероятностью.

Следующие изменения были внесены в ФП для улучшения получаемых решений:

- 1) добавлена оценка занимаемой площади как критерий поиска;
- 2) добавлено быстроедействие инвертора как критерий поиска;
- 3) использована ступенчатая штрафная функция;
- 4) ФП изменена на среднее арифметическое.

Чтобы учесть площадь при синтезе, необходим способ ее быстрой оценки. Простая сумма площадей составных элементов будет не точна, так как при размещении и трассировке топологии необходимо соблюдать проектные нормы. Проанализировав ранее разработанные схемы, были определены следующие соотношения. Резисторы с высоким сопротивлением изготавливаются в виде меандров для лучшей компоновки, его площадь рассчитывается как площадь «прямого» резистора, умноженная на 1,7. Площадь блоков больше суммы площади их элементов также в 1,7 раза, а площадь драйвера в 1,7 раз больше, чем сумма площадей блоков. Данные соотношения эмпирические и применимы только для рассматриваемой технологии.

Для расчета быстрогодействия инвертора использовалась схема кольцевого генератора. Если характеристики на постоянном токе или по занимаемой площади были слишком далеки от целевых значений, то к функции приспособленности добавлялся штраф без запуска моделирования во временной области. Это позволило уменьшить общее время синтеза.

Для нормировки критериев использовалась линейная штрафная функция, где нулевое значение соответствует целевому значению критерия, а единичное значение — максимально допустимому значению критерия. Значения за пределами диапазона приводят к неработоспособным решениям, поэтому превышение значения граничных условий добавляет фиксированное значение λ к штрафной функции.

Штрафная функция рассчитывается по выражению (3):

$$f_i(x_i) = \begin{cases} \left(\frac{1}{x_i^{BG} - x_i^{цель}} \right) * |x_i - x_i^{цель}|, & x_i^{HG} < x_i < x_i^{BG} \\ \left(\frac{1}{x_i^{HG} - x_i^{цель}} \right) * |x_i - x_i^{цель}| + \lambda, & x_i^{HG} > x_i \text{ || } x_i > x_i^{BG} \end{cases}, \quad (3)$$

где x_i^{BG} , x_i^{HG} – верхнее и нижнее значение границы диапазона i -го критерия поиска соответственно.

Во втором варианте функция приспособленности была заменена на среднее арифметическое:

$$FF = \frac{\sum_{i=1}^n (f_i(x_i))}{n}. \quad (4)$$

Перед сравнением результатов моделирования введём термины для упрощения описания полученных результатов: решение 1 для спроектированного решения, решение 2 и решение 3 для синтезированного решения с использованием первого и второго варианта функции приспособленности соответственно.

Сравнение результатов моделирования характеристик инвертора показало, что все решения имеют практически неотличимую передаточную характеристику, однако решение 2 имеет меньшую потребляемую мощность, в то время как решение 1 имеет наибольшую потребляемую мощность (рисунок 10а). Результаты моделирования характеристик кольцевого генератора позволили оценить быстродействие полученных решений (рисунок 10б), по итогам которого оказалось, что решение 3 обладает наибольшим быстродействием и превышает быстродействие решения 2 почти в 2 раза.

Результаты моделирования преобразователей напряжения показали, что все решения обладают идентичной передаточной характеристикой и различаются только значением потребляемой мощности. Потребляемая мощность решения 1 была в 1,5 раза меньше, чем у решений 2 и 3.

Анализируя результаты моделирования во временной области, можно отметить, что решение 3 имеет более близкое к нулю значение напряжения для логической «1», чем остальные решения. Также заметно и немного меньшее по модулю значение напряжения для логического «0», однако этого уровня достаточно для управления ключевыми транзисторами на входе секций устройств с переменными состояниями.

Сравнение результатов моделирования характеристик

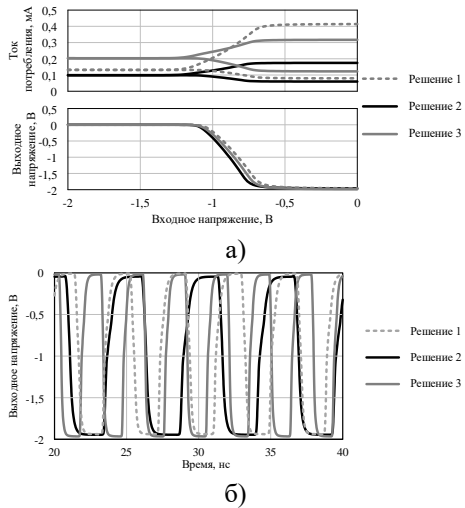


Рисунок 10 – Характеристики инвертора (а) и кольцевого генератора (б) для набора полученных решений

D-триггера подтвердило выводы по быстрдействию схем, сделанные по результатам моделирования характеристик кольцевого генератора. Для решения 3 можно отметить, что фронты выходных сигналов *D*-триггера менее пологие, чем в остальных решениях, что говорит о более высоком быстрдействии. Также стоит отметить, что для решения 2, наблюдается уход значения напряжения для логической «1». Однако этот уход не влияет на корректность работы устройства, так как значение находится в пределах помехоустойчивости.

Сравнение результатов моделирования характеристик разряда драйвера показало, что решение 2 имеет минимальное потребление среди всех полученных решений, однако также было установлено, что у данного решения заметен значительный уход значения напряжения для логической «1». Если во внутренних блоках данный уход не критичен, так как попадает в запас помехоустойчивости, то на выходе ВыхПН такое недопустимо, так как при недостаточном отпирающем напряжении на ключевых транзисторах секций устройств с переменными состояниями, могут появиться дополнительные потери при передаче СВЧ-сигнала. Важно отметить, что решение 3 имеет меньшее потребление по сравнению с решением 1.

В четвертом разделе представлены результаты построения нелинейных моделей для используемых в синтезированных драйверах управления транзисторов, проведена валидация построенных моделей и представлены результаты оценки скорости моделирования характеристик логических схем в зависимости от выбранной модели.

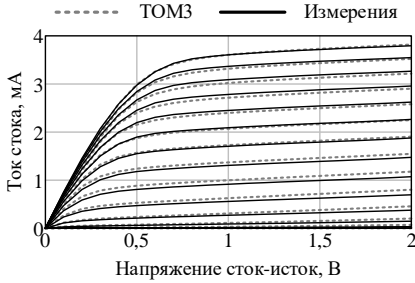
Для выбора репрезентативного прибора использовалась ранее разработанная методика поиска репрезентативного прибора. Под репрезентативным понимается такой прибор, характеристики которого наиболее близкие к средним в партии. Во многих работах отмечается важность этого шага для построения моделей.

На первом этапе происходит считывание исследуемых характеристик из файлов, в данном случае исследуются ВАХ транзистора и малосигнальные *S*-параметры. На втором этапе поиска определяются и удаляются выбросы из полученной выборки. На третьем этапе, после удаления выбросов, происходит расчет среднего значения параметра на каждой точке измерения для каждой из характеристик. Далее определяется отклонение значения измеренной характеристики от среднего значения. На четвертом этапе выбирается образец с минимальным значением нормированного суммарного усреднённого отклонения, который и является репрезентативным для исследуемой выборки.

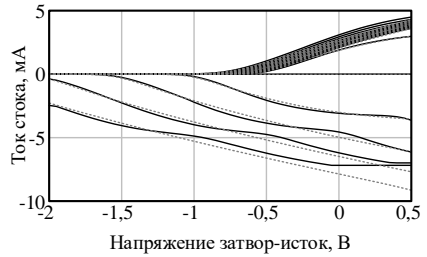
Построение моделей проводилось по методикам, которые подробно описаны в подразделе 1.2.3 диссертационного исследования. Для создания одного бита драйвера управления использовалась отечественный технологический процесс 0,25 мкм GaAs рНЕМТ с возможностью изготавливать исключительно НО транзисторы. Важно отметить, что использованные транзисторы имели один затвор и минимальные значения

ширины затвора. Такие транзисторы широко используются для применения в логических схемах. Модели были построены для транзистора со значением ширины затвора 1×8 мкм.

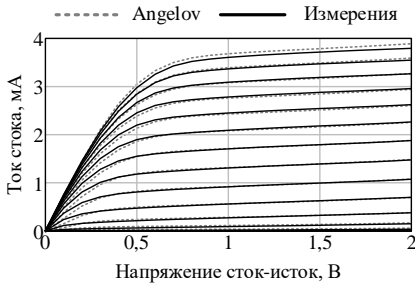
Для оценки точности построенных моделей использовались измерения выходной и передаточной ВАХ и расчетные значения нелинейных емкостей. Далее представлены сравнение результатов моделирования и измерений выходной (рисунок 11б, 11г, 11е) и передаточной (11а, 11в, 11д) ВАХ для трех моделей.



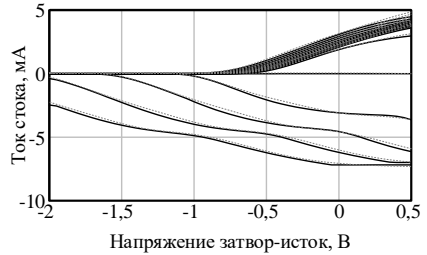
а)



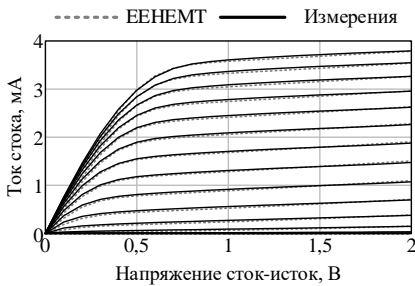
б)



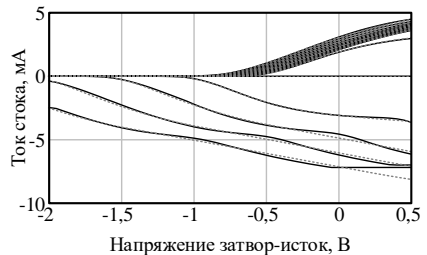
в)



г)



д)



е)

Рисунок 11 – ВАХ и нелинейные емкости, рассчитанные для моделей TOM3 (а, б), Angelov (в, г) и EENEMT (д, е)

Характеристики построенной модели ТОМЗ показывают, что данная модель имеет достаточно точное совпадение ВАХ в области положительных напряжений сток-исток. Что касается результатов моделирования характеристик построенной модели Angelov, то можно отметить высокую точность моделирования поведения тока стока в области отрицательных напряжений сток-исток. Однако наблюдается уменьшение точности в области напряжения насыщения при напряжениях на затворе в области подпороговых значений. Касательно результатов моделирования построенной модели ЕЕНЕМТ, можно отметить высокую точность повторения тока стока на всей области измерений.

Валидация построенных моделей проводилась путём сравнения характеристик измеренных и смоделированных характеристик инвертора, РС и одного бита драйвера. Также стоит отметить, что при сравнении характеристик также использовалась модель из библиотеки. Сравнение результатов моделирования и измерений передаточной характеристики инвертора показало, что все построенные модели с высокой точностью воспроизводят данную характеристику. Сравнение результатов моделирования и измерений выходных характеристик регистра сдвига во временной области показало полное соответствие исследуемых характеристик для всех моделей (рисунок 12).

Также на основе построенных моделей был спроектирован разряд драйвера управления. Сравнение результатов моделирования и измерений выходных характеристик разряда драйвера показали, что измеренный уровень напряжения логической единицы не соотносится с результатами моделирования библиотечной модели, однако повторяется для решений, спроектированными на моделях ТОМЗ и Angelov.

Для выбора подходящей модели для расчета характеристик логических схем было проведено исследование с использованием построенных моделей: ТОМЗ, Angelov, ЕЕНЕМТ, а также модель из библиотеки элементов. В качестве тестируемой схемы был выбран четырёхразрядный РС. С одной стороны, данная схема является достаточно ресурсоёмкой с точки зрения моделирования, с другой стороны, в данной схеме используются только исследуемые модели и модель идеального резистора, что позволяет исключить влияние иных элементов на скорость моделирования.

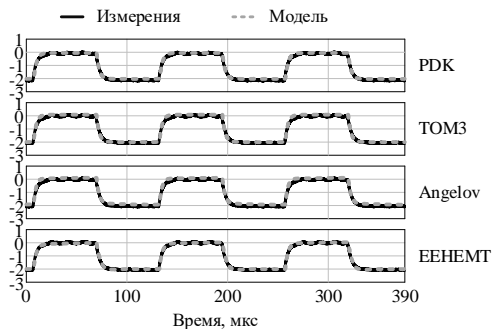


Рисунок 12 – Временные диаграммы регистра сдвига для разных моделей

Так как при измерении данной структуры характеристики каждого разряда снимались отдельно, то и при для каждого разряда была создана отдельная схема. Итого, за один запуск моделирования четырехразрядного РС происходило моделирование четырех схем последовательно. При этом время моделирования для каждого разряда фиксировалось отдельно. Для чистоты эксперимента было проведено десять запусков моделирования РС для каждой модели, при котором каждая из схем запускалась отдельно. Итого для оценки времени моделирования было измерено время моделирования в 36 отдельных экспериментах для каждой модели.

Результаты оценки времени моделирования четырёхразрядного РС для построенных моделей и моделей из библиотеки представлены в таблице 2.

Таблица 2 – Время моделирования четырёхразрядного РС с использованием разных моделей

Время моделирования	PDK	TOM3	Angelov	ЕЕНЕМТ
Минимум, с	458,8	86,8	333,6	172,8
Максимум, с	561,9	117,7	396,7	288,9
Среднее, с	482	96,8	361,6	210

Результаты показывают, что моделирование модели TOM3 проходит быстрее всего, в 2 раза быстрее чем при использовании ЕЕНЕМТ и почти в 5 раз быстрее чем при использовании модели, которая находится в библиотеке элементов. Также стоит отметить тот факт, что при моделировании схем с использованием моделей ЕЕНЕМТ и Angelov некоторые запуски заканчивались ошибкой моделирования 5 из 36 для ЕЕНЕМТ и 1 из 36 для Angelov в то время, как моделирование схем с использованием моделей TOM3 не приводило к ошибкам моделирования.

ЗАКЛЮЧЕНИЕ

1. Предложено новое схемотехническое решение для логических схем БПТ типа, позволяющее значительно уменьшить потребление логических устройств на основе данного типа логических схем.

2. Предложена методика структурно-параметрического синтеза последовательно-параллельного драйвера управления на основе GaAs рНЕМТ технологии на основе эволюционных вычислений, позволяющая получить решение, выигрывающее по характеристикам у решения разработчика.

3. Спроектирован и изготовлен разряд последовательно-параллельного драйвера, работоспособность которого проверена на частоте тактового сигнала 200 кГц.

4. Спроектирован и изготовлен четырехразрядный регистр сдвига, работоспособность которого проверена на частоте тактового сигнала 64 кГц.

5. Построены модели транзисторов позволяющих проектировать логические схемы на основе НО GaAs рHEMT транзисторах.

6. Доказано, что использование модели транзистора ТОМЗ позволяет ускорить процесс синтеза в полтора раза по сравнению с использованием модели из библиотеки элементов.

СПИСОК ОСНОВНЫХ ПУБЛИКАЦИЙ ПО ТЕМЕ ДИССЕРТАЦИИ

Работы, входящие в перечень ВАК или индексируемые в базах данных WoS/Scopus

1. **Билевич, Д. В.** Обзор цифровых драйверов управления СВЧ многофункциональных интегральных схем на основе GaAs-технологии / **Д. В. Билевич** // Электронная техника. Серия 1: СВЧ-техника. – 2021. – № 3(550). – С. 26-41.

2. **Билевич, Д.В.** Разработка методики автоматического определения репрезентативного СВЧ-транзистора для усилительных применений в линейном режиме по частотным характеристикам при измерениях на полупроводниковой пластине / **Д.В. Билевич, А.С. Сальников, А.Е. Горьяинов** // Электронная техника. Серия 1: СВЧ-техника. – 2020. – Vol. 4 – № 547 – P. 98–107.

3. Калентьев, А.А. Алгоритм автоматического построения малосигнальной модели GaAs рHEMT- транзистора и его реализация в САПР / А. А. Калентьев, А. С. Сальников, А.А. Попов, **Д.В. Билевич**, И.М. Добуш, А.Е. Горьяинов, Т.Н. Файль // Наноиндустрия. – 2020. – № S96-1. – С. 330-336. – DOI 10.22184/1993-8578.2020.13.3s.330.336.

4. **Bilevich, D.V.** A Comparison of the Different Gaas PheMT Logic Families Characteristics / **D. V. Bilevich, A. S. Salnikov, A. A. Popov, A. A. Kalentyev, A. E. Goryainov**// Dynamics of Systems, Mechanisms and Machines, Dynamics: 15th International IEEE Scientific and Technical Conference, (09-11 November 2021), Omsk. – IEEE, 2021. – DOI:10.1109/Dynamics52735.2021.9653462.

5. **Bilevich, D. V** The Experimental Circuits of D-Mode GaAs pHEMT Serial-to-Parallel Converter Blocks / **D. V Bilevich, A.S. Salnikov, I.M. Dobush** // 2022 International Siberian Conference on Control and Communications (SIBCON) (17-19 November 2022), Tomsk. – IEEE, 2022. – P. 1–6 – DOI:10.1109/SIBCON56144.2022.10002977.

6. Salnikov, A.S. Automatic golden device selection and measurement smoothing algorithms for microwave transistor small-signal noise modeling / A.S. Salnikov, I.M. Dobush, A.A. Popov, **D.V. Bilevich**, A.E. Goryainov, A.A. Kalentyev, A.A. Metel // International Journal of Microwave and Wireless Technologies. – Cambridge University Press, 2022. – P. 1-12. – DOI:10.1017/S175907872200068X

7. Salnikov, A. A Golden Device Selection Algorithm for Microwave Monolithic Integrated Circuit Elements Modeling / A. Salnikov, **D. Bilevich**, A.

Popov, I. Dobush, A. Kalentyev, A. Goryainov // 2022 Moscow Workshop on Electronic and Networking Technologies (MWENT). – IEEE, 2022. – P. 1–5 – DOI:10.1109/MWENT55238.2022.9802275.

8. Popov, A. An assessment of automated extraction capabilities for small-signal modeling of various GaAs pHEMT processes / A. Popov, **D. Bilevich**, A. Salnikov, I. Dobush, A. Goryainov, A. Kalentyev // ITM Web of Conferences / ed. by P. Yermolov. – 2019. – Vol. 30. – P. 01001. – DOI:10.1051/itmconf/20193001001.

9. Свидетельство о государственной регистрации топологии микросхемы № 2022630021 Российская Федерация. Монолитная интегральная схема GaAs pHEMT оконечного каскада драйвера цифрового управления ключевыми транзисторами FOLSP2AOVT : № 2022630017 : заявл. 02.02.2022 : опубл. 08.02.2022 / А. С. Сальников, **Д. В. Билевич**, А. А. Попов ; заявитель Об-щество с ограниченной ответственностью "50ом Технолоджиз". – EDN MWZZKF.

10. Свидетельство о государственной регистрации топологии микросхемы № 2022630022 Российская Федерация. Монолитная интегральная схема GaAs pHEMT динамического D-триггера типа BFL FOLSP2ADFF : № 2022630016 : заявл. 02.02.2022 : опубл. 08.02.2022 / **Д. В. Билевич**, А. С. Сальников, А. А. Метель ; заявитель Общество с ограниченной ответственностью "50ом Технолоджиз". – EDN QFJOSC.

11. Свидетельство о государственной регистрации топологии микросхемы № 2022630031 Российская Федерация. Монолитная интегральная схема GaAs pHEMT одноразрядного последовательно-параллельного преобразователя типа BFL FOLSP2ABIT : № 2022630018 : заявл. 02.02.2022 : опубл. 09.02.2022 / **Д. В. Билевич**, А. С. Сальников, И. М. Добуш [и др.] ; заявитель Общество с ограниченной ответственностью "50ом Технолоджиз". – EDN JYAEWS.